



## 저작자표시-동일조건변경허락 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.
- 이차적 저작물을 작성할 수 있습니다.
- 이 저작물을 영리 목적으로 이용할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



동일조건변경허락. 귀하가 이 저작물을 개작, 변형 또는 가공했을 경우에는, 이 저작물과 동일한 이용허락조건하에서만 배포할 수 있습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학박사학위논문

# 고밀도 망막 자극을 위한 CMOS IC 와 3차원 전극의 통합 기술

**Integration Technology for CMOS IC and 3D Electrodes  
for High-density Retinal Stimulation**

2013 년 8 월

서울대학교 대학원

협동과정 나노과학기술전공

박 선 길

# 고밀도 망막자극을 위한 CMOS IC 와 3 차원 전극의 통합 기술

Integration Technology for CMOS IC and 3D  
Electrodes for High-density Retinal Stimulation

지도교수 조 동 일

이 논문을 공학박사 학위논문으로 제출함

2013 년 8 월

서울대학교 대학원

협동과정 나노과학기술전공

박 선 길

박선길의 공학박사 학위논문을 인준함

2013 년 8 월

위 원 장 : 김 성 준

(인)

부위원장 : 조 동 일

(인)

위 원 : 서 중 모

(인)

위 원 : 구 용 숙

(인)

위 원 : 고 형 호

(인)



# 초록

## 고밀도 망막 자극을 위한 CMOS IC 와 3 차원 전극의 통합 기술

서울대학교 대학원  
협동과정 나노과학기술전공  
박 선 길

본 논문에서는 고밀도 자극기를 구현하는 방법으로 3차원 전극을 CMOC (Complementary Metal–Oxide–Semiconductor) IC (Integrated Circuit) 에 집적하여 자극기를 제작하는 공정 방법을 제안한다. 고밀도 망막 자극기를 구현하기 위하여 기판에서 차지하는 면적 대비 조직과 접하는 표면적을 크게 할 수 있는 3차원 화살촉 전극이 적용되었고, CMOS IC 의 자극 패드에 Au/Sn 플립 칩 본딩으로 접합되었다. 3차원 화살촉 전극의 적용은 조직 전극간 계면 임피던스를 최소화하여 망막 신경 세포를 활성화시킬 수 있는 자극조건의 저전압화를 구현하는데 목적이 있다. 망막 하 이식이 가능하도록 CMP (Chemical Mechanical Planarization) 공정과 DRIE (Deep Reactive-Ion Etching) 공정을 통해 CMOS IC 두께를 약 50 $\mu\text{m}$  로 박막화하였다. 제작된 전체 소자 두께는 폴리이미드, 페럴린

두께를 포함하여 약  $80\mu\text{m}$  이다. 추가적으로, 망막 이식 환경에서 장기간 안정적으로 동작할 수 있는 신뢰성 있는 자극기를 구현하고자 하였다. 장기간 전해질 환경에 노출시에 수분 흡수에 의한 전기적 누설 전류 발생을 예방하기 위하여 보호막 공정을 진행하였다. 폴리이미드로 주요한 자극기 공정을 진행한 이후 마지막 단계의 공정에서 수분 흡수가 적고 이식 환경에서 많이 사용되는 페털린 C 가 소자 보호막으로 적용되었다. 추가적으로, 보호막 공정으로 3차원 화살촉 전극 전면에 페털린이 증착된 상태에서 자극을 주는 화살촉 전극 부분만 보호막으로부터 개방시키는 공정을 진행하였다. 본 자극기에 적용된 Au/Sn 본딩의 기계적 특성 확인을 위해 접합 강도 평가가 이루어졌다. 그리고 Au/Sn 본딩 구조물이 자극기의 동작에 미치는 전기적 신호 전달 특성을 확인하기 위하여 전압 강하 및 고주파 신호 통과 특성이 평가되었다. 또한, 장기간 이식에 대한 수분 흡수 특성을 평가하고자 전해질 환경에서의 가속 환경에 노출한 후 누설 전류를 측정하여 안정적인 특성임을 확인했다. 위 평가를 통해 CMOS IC 와 3차원 전극 결합형 고밀도 망막 자극기가 물리적, 화학적, 전기적으로 안정된 특성을 가지고 있음을 확인하였다.

**주요어:** 망막자극기, CMOS IC, 3차원 전극, 플립 칩 본딩, 칩공정

**학 번:** 2007-30781

# 목차

초록	iii
목차	v
그림 목차	vii
표 목차	x
<b>Chapter 1</b>	<b>1</b>
1.1 연구 배경	2
1.1.1 시각 인식	2
1.1.2 망막 질환	4
1.2 망막 보철	6
1.2.1 인공 망막 이식의 종류들	6
1.2.2 인공 망막 자극기의 요구 조건	7
1.3 고해상도 망막 자극기	10
1.3.1 고해상도 망막 자극기의 기술적 문제	10
1.3.2 고해상도 망막 자극기의 이전 연구 결과들	16
1.3.3 생체 소자 보호용 고분자 물질들	21
1.3.4 자극 전극과 망막 조직간의 임피던스 모델	23
1.3.5 서술 개요	28

<b>Chapter 2</b>	<b>3 0</b>
2.1 시스템 구성	3 0
2.1.1 연구 동기	3 0
2.1.2 CMOS IC 와 고밀도 3차원 전극의 통합 구현 방안	3 2
2.2 고밀도 망막 자극을 위한 CMOS IC 와 3차원 전극의 통합 기술	3 7
2.2.1 3차원 화살촉 전극 설계	3 7
2.2.2 CMOS IC 와 3차원 전극의 통합 설계	3 9
 <b>Chapter 3</b>	 <b>4 0</b>
3.1 제작 공정	4 0
3.1.1 고해상도 망막 자극용 3차원 전극 제작	4 0
3.1.2 고해상도 망막 자극용 기판 공정	4 8
3.1.3 플립 칩 본딩을 위한 CMOS IC 금속 증착 공정	5 3
3.1.4 CMOS IC 와 3차원 화살촉 전극의 접합 공정	5 6
3.1.5 자극기 보호막 공정 및 몸체 정의	6 6
3.1.6 3차원 화살촉 전극 보호막 노출 공정	6 8
 <b>Chapter 4</b>	 <b>7 1</b>
4.1 Au/Sn 플립 칩 본딩 기계적 강도 평가	7 1
4.2 Au/Sn 본딩 소자의 전기적 신호 특성 평가	7 3
4.3 자극기의 전기적 절연 특성 평가	7 8
 <b>Chapter 5</b>	 <b>8 0</b>
5.1 향후 진행 사항	8 3
 Bibliography	 8 8
 Abstract	 9 9

## 그림 목차

그림 1.1	안구 구조도 .....	3
그림 1.2	망막 구조층 개념도 .....	3
그림 1.3	망막 색소 변색증과 황반 퇴화로 인한 시력 증상. ....	5
그림 1.4	2단 구조의 3차원 원형 전극 형상.....	1 3
그림 1.5	3차원 원형 기둥 전극 형상.....	1 3
그림 1.6	3차원 화살촉 전극 어레이 제작 형상 (上)과 전극 확대 사진 (下). ....	1 5
그림 1.7	미국 해군 연구소에서 제시한 고해상도 자극기 칩의 Layout. ....	1 6
그림 1.8	일본 <i>Ohta</i> 그룹의 망막 자극기 제작 공정 및 결과.	1 8
그림 1.9	독일 <i>zrenner</i> 그룹의 인공망막 자극기 제작 형상...	2 0
그림 1.10	독일 <i>zrenner</i> 그룹의 인공망막 자극기의 망막 하 이 식 사진.....	2 0
그림 1.11	Parylene-N (a) 과 Parylene-C (b) 의 화학 구조. .....	2 2
그림 1.12	이식 소자에 사용되는 고분자 폴리머 특성.....	2 2
그림 1.13	전극과 전해질사이에서의 임피던스를 표현하는 3소자 모델.....	2 4
그림 1.14	크기가 다른 전극에서 주파수에 따른 임피던스와 위상 값.....	2 4
그림 1.15	전극 크기와 형상에 따라서 측정된 임피던스 값... 2 5	
그림 1.16	2차원 전극과 3차원 전극의 크기에 따른 임피던스 측 정값의 요약.....	2 6
그림 1.17	전극의 크기에 따라서 허용 가능한 전하 주입 용량의 측정값.....	2 6
그림 2.1	CMOS IC 와 3차원 전극의 통합으로 구현되는 고밀도 망막 자극기의 개념도.....	3 4
그림 2.2	고밀도 망막 자극을 위한 CMOS IC 와 3차원 전극의 통합형 자극기 제작 마스크 설계 결과.....	3 5



그림 2.3 <i>In Vitro</i> 실험용 자극기와 <i>In Vivo</i> 실험용 자극기 ...	3 6
그림 2.4 CMOS IC 집적용 3차원 화살촉 전극 제작 마스크..	3 8
그림 3.1 3차원 전극과 3차원 전극의 비교 형상. ....	4 1
그림 3.2 2차원, 3차원 전극간의 형상에 따른 표면적비를 계산한 표. ....	4 2
그림 3.3 3차원 화살촉 전극 제작 공정도 및 제작 형상.....	4 5
그림 3.4 CMOS IC 집적용 3차원 화살촉 전극 제작 결과. ....	4 6
그림 3.5 TMAH 습식 식각 시간 조정으로 전극의 끝단이 평탄하 게 형성된 화살촉 전극 형상. ....	4 7
그림 3.6 고밀도 망막 자극용 이식형 자극기의 기판 공정도.	5 0
그림 3.7 CMOS IC 를 이식형 자극기 몸체에 접합하기 위해 생성 된 Au/Sn/Au 범프 구조의 SEM 사진. ....	5 1
그림 3.8 단결정 실리콘 기판에 80 $\mu$ m 이상 건식 식각되어 중공 구조가 형성된 모양. ....	5 2
그림 3.9 단차 측정기로 중공의 식각 깊이를 측정한 결과 그래프. .....	5 2
그림 3.10 CMOS IC 에서의 감광제 AZnLoF 2035 패터닝 공정 결과 사진. ....	5 4
그림 3.11 CMOS IC 감광제 패터닝 공정 후 Ti/Ni/Au 금속을 증 착한 모습. ....	5 5
그림 3.12 CMOS IC 와 3차원 전극이 생성된 칩의 CMP 공정 전 후의 칩 두께. ....	5 7
그림 3.13 Au/Sn 플립 칩 공정 조건표. ....	5 9
그림 3.14 Au/Sn 플립 칩 본딩 시 온도 프로파일. ....	6 0
그림 3.15 Au/Sn 플립 칩 본딩 공정 모습. ....	6 0
그림 3.16 3차원 전극과 CMOS IC 플립 칩 본딩 후 3차원 전극 소자의 실리콘 기판 제거 후의 전극 모습을 촬영한 SEM 사 진. ....	6 2
그림 3.17 3차원 전극이 CMOS IC 에 본딩된 소자를 이식형 자 극기 기판에 다시 본딩한 사진. ....	6 4
그림 3.18 플립 칩 본딩 공정 시 CMOS IC 와 3차원 전극 사이	

의 정렬.....	6 5
그림 3.19 페럴린 보호막 공정 후 이식형 자극기 사진.....	6 7
그림 3.20 레이저 커팅 후 실리콘 기판에서 이식형 자극기를 분리하는 사진.....	6 7
그림 3.21 3차원 화살촉 전극 부분만 페럴린을 제거하는 공정 테스트 결과 모습.....	7 0
그림 4.1 플립 칩 본딩 된 소자의 전단응력 측정 결과.....	7 2
그림 4.2 Au/Sn 범프의 전기적 특성 평가를 위한 테스트 소자의 IR 이미지.....	7 5
그림 4.3 테스트 소자가 Au/Sn 플립 칩 본딩된 사진.....	7 5
그림 4.4 Au/Sn 플립 칩 본딩된 범프를 통과하는 선로 양단간의 저항 측정 결과.....	7 6
그림 4.5 Au/Sn 플립 칩 본딩한 범프를 통과하는 신호 파형 측정 결과.....	7 7
그림 4.6 제안된 이식형 자극기 금속 테스트 배선에서의 전기적 절연 특성 평가 패턴.....	7 9
그림 5.1 FPGA 보드를 이용하여 이식형 자극기를 제어하는 개념도 .....	8 4
그림 5.2 CMOS IC 분리 공정 시 확보되는 곡률 계산.....	8 5
그림 5.3 CMOS IC 를 4개로 분리하는 공정을 위한 공정 마스크 이미지.....	8 6
그림 5.4 칩 분리 공정을 위해 제작된 CMOS IC 의 감광제 패턴 테스트 결과 사진.....	8 7

# 표 목차

표 1.1 인가 주파수에 따른 임피던스 값. ....	2 7
-------------------------------	-----

# Chapter 1

## 서론

시력 회복을 위한 이식형 자극기는 처음으로 *Drs. Brindley* 와 *Lewin* 에 의해서 1968년에 최초로 개발되었다 [1]. 이후로 인공 망막 이식 연구는 세계적으로 많은 연구 그룹과 소수의 회사에서 진행되어 왔다. 이 연구는 망막 색소 변성증이나, 노령 관련 황반 퇴화등의 질환을 가진 환자를 대상으로 부분적인 시야를 회복하기 위한 것이다. 현재의 인공 망막 이식은 전기적으로 살아있는 망막 세포를 자극함으로써 낮은 분해능의 시력을 환자에게 제공하는데 목적이 있다. 이러한 시력은 빛을 인식하거나 사물을 인식하는 특정한 시력 능력을 회복하는데는 충분할 수도 있다. Argus II 망막 이식 장치는 망막 이식 장치로서 처음으로 미국에서 2013년 2월에 FDA 승인을 받았다. 최근 마이크로 전자, 신경생리학, 망막 시술의 진전은 전기적 자극에 기반한 이식형 인공 시각 시스템에 이르는 점까지 진척

이 되어졌고, 지금 이행 가능한 것으로 보여진다. 최근 세계에서 많은 연구 프로젝트에서 인공망막보철 시스템을 개발하는 것을 목표로 하고 있다.

## 1.1 연구 배경

### 1.1.1 시각 인식

시각 생성 과정은 외부의 빛이 각막, 수정체를 통해 망막의 광수용체 세포에 도달한 다음 빛은 전기적 신호로 변환되고, 망막의 양극세포, 신경절 세포, 시신경을 거쳐서 대뇌 시각영까지 전달되어 시각이 인식된다. 건강한 망막의 광수용체 세포는 빛을 받으면 신경 전달 물질을 배출하고, 망막의 수평 세포나, 양극 세포를 자극한다. 그림 1.1 안구 구조를 보여주고, 그림 1.2 는 여러 개의 층으로 구성된 망막 구조를 보여준다.

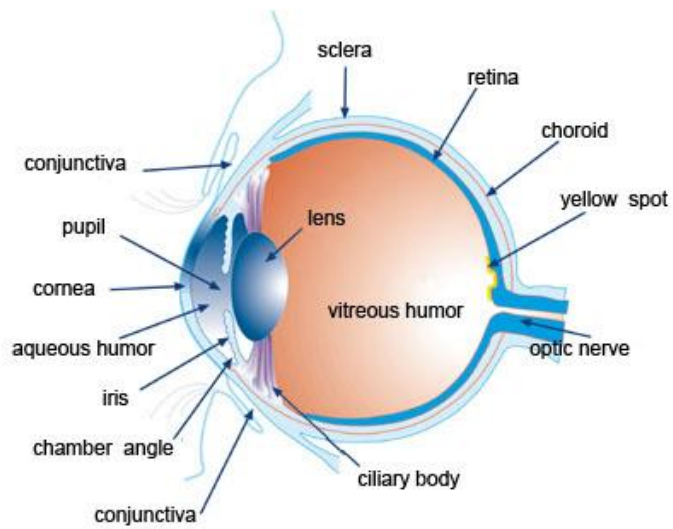


그림 1.1 안구 구조도

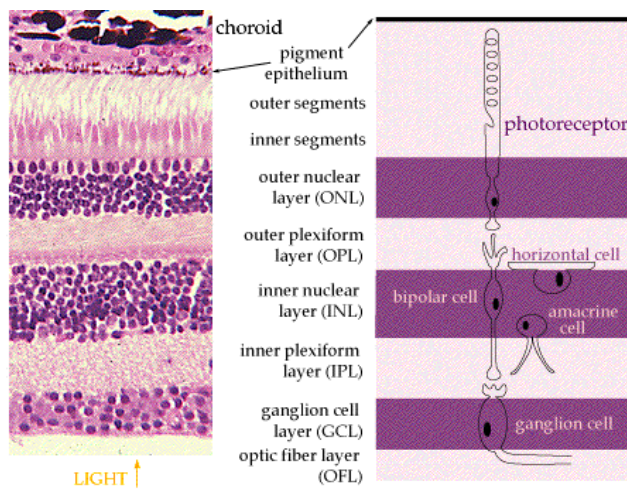


그림 1.2 망막 구조층 개념도

### 1.1.2 망막 질환

망막 색소 변색증과 노령 관련 황반 퇴화는 망막의 광수용체 와 주요하게 관련된 질병이고, 진행성 시력 손실의 원인이 된다. 세계적으로 약 1500 만명 이상이 위 질환과 관련되어 있다. 광수용체 세포의 퇴화로 인한 맹인은 치료될 수 없는 상태로 남아있다 치더라도, 내부의 망막 신경 세포는 여러 해 동안 기능을 계속할 수도 있다는 전제에서 인공 망막 연구가 이루어지고 있다. 노령 관련 황반 변성은 전세계적으로 거의 800 만 환자의 시력 장애를 유발하는 원인이 되고 있다. 노령 인구가 많아짐에 따라 점차적으로 증가하고 있고, 유전적인 맹증이 주요 원인이다. 다른 맹증의 원인으로는 녹내장, 당뇨병, 망막증, 외상이 있다. 그림 1.3 은 망막 색소 변색증과 노령 관련 황반 퇴화로 인한 시력 손상 시 시각 현상을 보여준다.



(a) 망막 색소 변색증 질환 증상.



(b) 노령 관련 황반 퇴화 증상.

그림 1.3 망막 색소 변색증과 황반 퇴화로 인한 시력 증상.



## 1.2 망막 보철

### 1.2.1 인공 망막 이식의 종류들

일반적인 시각 신호 전달 체계는 망막의 광수용체 세포층에서 빛을 전기 신호로 변환하여 수평세포, 양극세포, 신경절 세포, 시신경을 통해 대뇌의 시각령으로 전달되어 순서로 이루어지고, 이를 통해 시각을 인식하는 것으로 알려져 있다. 인공 망막 이식 방법 중 망막 전 (Epiretinal) 이식 방식은 망막의 안쪽의 표면에 이식되고 망막의 신경절 세포를 직접적으로 자극하는 방식이다. 이 방식은 통상적으로 microtack 을 통해 망막에 자극기의 고정이 필요하다. 안경 등에 장착된 외부 카메라에서 이미지를 획득하고 신호 처리 칩을 통해 자극할 수 있는 신호로 처리 후 자극기로 전달하는 방식이다. 이 방식은 시술이 간편하고, 망막 손상이 작은 장점이 있으나, 신경절 세포 외 근처 신경을 같이 자극하여 신호 왜곡을 일으키거나, 자극기로 전달하는 신호 생성을 위해 외부의 장치를 통한 신호 처리 및 전달이 필요한 복잡한 측면이 있다. 최초의 망막 전 자극기는 2002년에 Second Sight 사에 출시된 ARGUS 로 백금 전극 16개로 이루어졌다. 두번째 버전인 Argus II 는 60개의 자극 전극으로 구성되어졌고, 전극 직경은  $200\mu\text{m}$  였다. 5개국의 32명의 환자가 이 프로젝트에 등록되었다. 또 다른 방식으로는 망막하 (Subretinal) 이식 방식으로 망막

의 광수용체 층과 색소 상피층 사이에 이식되는 것으로, 빛이 인식되는 광수용체 세포 영역에서 자극하기 때문에 망막 시각 정보 전달 과정을 그대로 이용하는 장점이 있다. 단점으로는 망막 내부 층에 이식되므로 망막이 손상될 가능성이 있고, 시술이 상대적으로 다른 이식 방식에 비해 어렵고, 자극기 두께를 박막화시켜야 이식 가능하다. 그 밖의 이식 방법으로 맥락막 (Suprachoroidal) 영역에 자극기를 이식하는 방법이 있다.

### 1.2.2 인공 망막 자극기의 요구 조건

망막을 자극하기 위해 사용되는 MEA (Microelectrode array) 는 생체 적합하고, 유연하고, 자극 효율이 좋고, 공간 분해능이 좋아야 하는 요구 조건이 있다. 생체 적합성은 망막 자극기가 망막에 이식되었을 때 망막 조직을 포함한 신체 조직에서 거부 반응이 적은 재료로 제작되어야 함을 의미한다. 자극하는 전극 재료로는 일반적으로 신체 거부 반응이 적은 귀금속이 사용된다. 백금 (Platinum), 금 (Gold), TiN (Titanium nitride), IrO<sub>2</sub> (Iridium oxide) 등이 대표적인 망막 자극 금속이다. 기계적인 유연성은 망막 자극기가 안구의 망막 조직을 자극하기 위하여 안구의 망막 조직에 이식되었을 때 안구 곡률에 따라서 망막 자극기가 휘어져야 망막에 스트레스를 덜 주고, 이를 통해 망막 박리의 위험성을 줄일 수 있음을 의

미한다. 망막 전 (Epiretinal) 이식의 경우 망막 자극기가 휘어지지 않으면 망막 자극기와 망막의 밀착성이 좋지 않아 자극 효율이 떨어지는 문제점을 유발할 수도 있다. 자극기의 유연성 정도를 고려할 때 이식되는 망막 조직도 유연한 신체 조직으로 어느 정도의 유연성을 확보해 주기도 한다. 독일 tuebingen 대학의 *zrenner* 그룹에서 임상에 적용한 자극기의 경우  $3.0 \times 3.1 \text{ mm}^2$  면적의 CMOS IC 를 박막화하여 망막 하 이식을 시행하였다 [3]. 그리고 망막 하 이식의 경우 망막 자극기 두께는 망막 박리나 염증의 원인 되지 않을 정도로 박막화되어야 한다. 또 다른 주요한 내용으로 망막 자극 효율이 있다. 망막이 전기적으로 자극되기 위해서는 망막의 신경 조직을 활성화 시킬 수 있는 충분한 전하가 주입되어야 한다. 일반적으로 망막과 자극 전극 사이의 계면 임피던스 크기가 자극 효율과 주요하게 연관이 된다. 자극 파형 효과를 제외하고, 계면 임피던스를 자극 전극의 제작에서 조절 가능한 부분은 망막 조직과 자극 전극간의 정전용량을 크게 하여 임피던스를 낮추는 방법이 있다. 일반적으로 자극 전극을 크게 하였을 때 망막 자극이 잘 되는 것은 이와 관련이 있다. 그리고 자극하는 망막 조직과 자극 전극간의 거리가 가까울수록 자극이 잘되는 것으로 보고된 연구도 있다. 자극기에서 차지하는 기관 면적이 동일한 3차원 전극과 2차원 전극을 임피던스 측면에서 비교하면 3차원 전극은 조직과 접하는 면적을 크게 하여 계면 임피던스를 낮출 수 있는 장점을 가지고 있다. 그리고 전극 크기와 형상에 따라 조직과 접하는 전극 표면적

은 크게 다르기도 한다. 또 다른 부분으로 자극 분해능이 있다. 사람 눈의 망막에서 빛을 감지하는 시세포는 1억 2천만개의 간상세포 (rod cell) 과 600 만개의 원추세포 (cone cell) 로 조밀하게 형성되어 있다. 원추세포는 망막의 중앙부에 많이 분포하고, 밝은 빛에 민감하며 물체의 형태, 명암, 색을 모두 감각할 수 있다. 간상세포는 망막의 주변부에 분포하며, 약한 빛에 민감하다. 자극 분해능을 높이려면 단위 면적당 망막 자극 전극수가 많아져야 한다. 고해상도 자극 기준은 일반적으로 망막 자극 부분인 황반 영역 기준으로 1000개 이상의 독립적 전극 자극으로 보고 있다. 이 부분은 망막 자극기를 구현함에 있어서 기술적으로 매우 어려운 부분이다. 최근 CMOS IC 를 이용한 고해상도 자극기에 관한 연구가 세계적으로 몇개의 그룹에서 진행중에 있다 [4, 5, 6].

## 1.3 고해상도 망막 자극기

### 1.3.1 고해상도 망막 자극기의 기술적 문제

최근 수년간에 몇몇 그룹에서 CMOS IC 를 이용한 고해상도 자극기를 제시했다. 이 자극기의 주요 목표는 망막 자극의 공간 분해능을 높이고자 하는데 목적이 있다. 멀티플렉서를 내장하거나, 채널 공유 방식을 적용한 CMOS IC 를 이용하여 자극기의 배선수를 획기적으로 줄이는 방식을 적용하였다 [4, 5]. 최초로 미국 해군 연구소에서는 CMOS IC 로 제작된  $80 \times 40$  어레이 망막 자극기를 제시했다. 안구 곡률을 고려하여 가는 유리관에 곡률을 주어 CMOS IC 의 자극 전극에 집적하였다. 다른 방식의 자극기로, 독일의 *Zrenner* 그룹은 포토다이오드, 증폭기, 자극 전극을 하나의 픽셀로 구현한 고해상도 망막 자극기를 제시했다. 이 자극기는 1500 개의 자극 전극으로 구성되었고, 자극 전극 크기는  $50 \times 50 \mu\text{m}^2$  이고, 전극 재질은 TiN 이다. 이 자극기의 동작은 외부의 빛을 포토다이오드로 인식하고, 이 인식된 신호는 증폭된 후, 자극 전극에 인가하는 방식으로 구동된다. 이 방식의 장점은 외부의 영상 처리 장치가 필요 없고, 망막 자극을 위해서 자극 전극을 외부에서 개별적으로 조정하지 않아도 되는 점이다. 앞에서 언급된 고해상도 자극기에 적용된 CMOS IC 는 제작 공정이 확립된 파운드리 팩 서비스를 이용하여 제작되어 동작 신뢰성과 재현성이 좋은 측면이 있다. 그러나, CMOS IC 칩을 이용한 망막 자극

기 구현에서 CMOS IC 와 이식형 자극기를 배선으로 연결하는 것이 쉽지 않은 기술이다. 위 내용을 정리하면, 고해상도 망막 자극기 구현에서 가장 기술적으로 어려운 부분은 1000개 이상의 자극 전극을 단순 배선 연결 방식으로는 구현하기 어려워서, 배선을 획기적으로 줄여서 고해상도 자극이 가능하게 하는 CMOS IC 를 적용한 인공 망막 자극기가 제시되었다. *Koo et al* [21] 은 1:1 단순 배선 방식을 통한 3차원 화살촉 전극의 마이크로어레이를 제시했다. 제작된 전극은 130개이고, 2층 배선을 통한 자극 전극은 연결 수는 30개였다. 고밀도 망막 자극을 위해서는 배선 방식의 방식 전환이 필요함을 보여준다. 두번째로 자극 전극이 생성되는 기관 면적이 정해진 상태에서 많은 자극 전극을 형성시키면 전극 갯수의 증가에 의한 전극 밀도는 커진다. 이로 인해 기관에서 차지하는 개별 전극의 면적은 작아지게 된다. 이는 망막 조직과 접하는 전극의 표면적을 감소시키고, 이로 인해 자극 전극과 조직 간 계면 임피던스를 증가시키는 원인이 된다. 결과적으로 계면 임피던스가 커지면 전하 주입 효율이 떨어지는 효과가 발생한다. 이는 망막 신경 세포를 활성화시키기 위해서는 자극 전극이 주입 가능한 전하 용량내에서 더 많은 전압을 인가해서 전하 주입을 키워야 함을 의미한다. 이로 인한 전압의 증가 범위가 커질 수록 망막 이식 환경에서 위험 인자로 작용할 수 있음을 의미한다. 이러한 문제의 개선 방안으로 3차원 자극 전극 적용이 방안일 수 있다. 3차원 자극 전극은 기관에서 차지하는 면적 대비하여 조직과 접하는 표면적을 최대화

하는 장점이 있다. 3차원 전극 중에서도 전극 형상에 따라 조직과 접하는 표면적은 크게 달라진다. *Hunger et al* [22] 은 망막 자극 전극으로 2단 구조의 3차원 원형 전극을 제시했다. 이 전극은 망막 조직과 접하는 부분이 전극의 윗부분으로 제한된다면, 조직과 접하는 전극의 자극 면적에서 2차원 원형 전극과 비슷하다. 고해상도 자극을 위한 전극은 전극 밀도가 커서, 망막 조직이 전극의 윗면에만 접할 수도 있기 때문이다. 이런 기준으로 판단한다면 제시된 2단 구조의 3차원 원형 전극이 2차원 전극에 비해 자극 면적을 크게 한다고 보기 어려울 수도 있다. 그림 1.4 는 2단 구조의 3차원 원형 전극을 보여준다 [22]. 그림 1.5 는 원형 기둥 구조의 3차원 전극을 보여준다 [23].

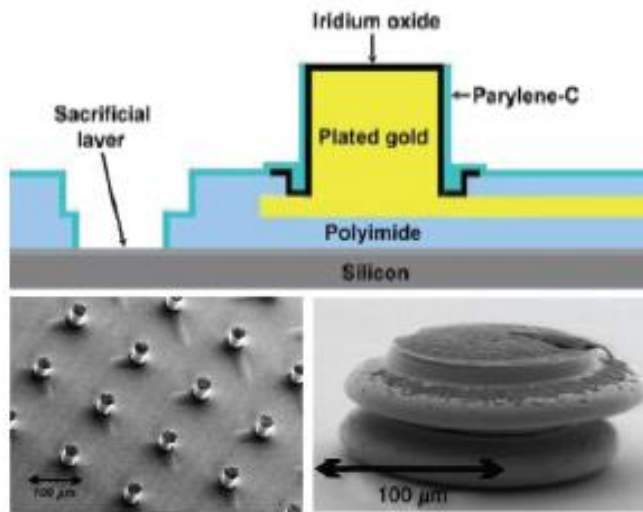


그림 1.4 2단 구조의 3차원 원형 전극 형상 [22].

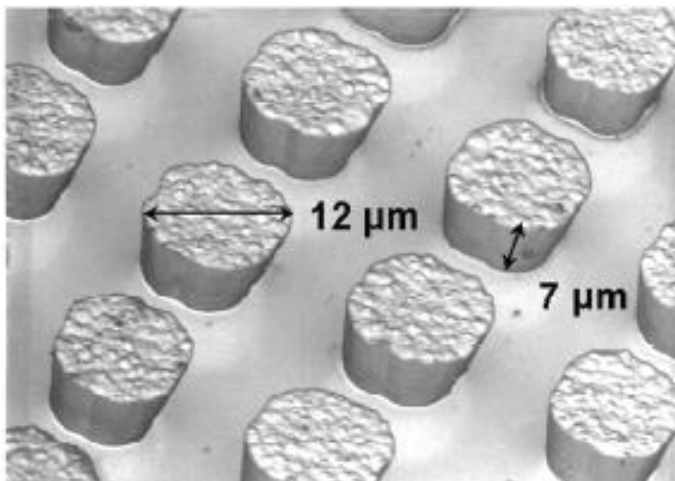


그림 1.5 3차원 원형 기둥 전극 형상 [23].



또 다른 전극으로 *Koo et al* [21, 44, 46-49] 은 3차원 구조의 화살촉 모양의 전극을 제시했다. 이 전극은 피라미드 형상의 전극으로 전극의 끝단이 날카롭게 형성되어 있고, 단결정 실리콘 결정면에 의해서 (111) 면이 54.75 도 기울기로 4면이 접한 구조로 전극이 형성되었다 [24, 25]. 망막 조직과 접하는 부분을 전극 윗면으로 제한한다면, 앞에서 제시한 3차원 전극과는 다르게 2차원 전극에 비해 망막 조직과 접하는 전극 면적을 3배 정도로 증가시킬 수 있다. 그리고, 전극 제작 공정에서 습식 식각 시간을 조정하면 전극 끝단을 평탄하게 조정할 수도 있다. 그림 1.6 은 어레이로 제작된 3차원 화살촉 전극 모양을 보여준다 [[21, 44, 46-49]].

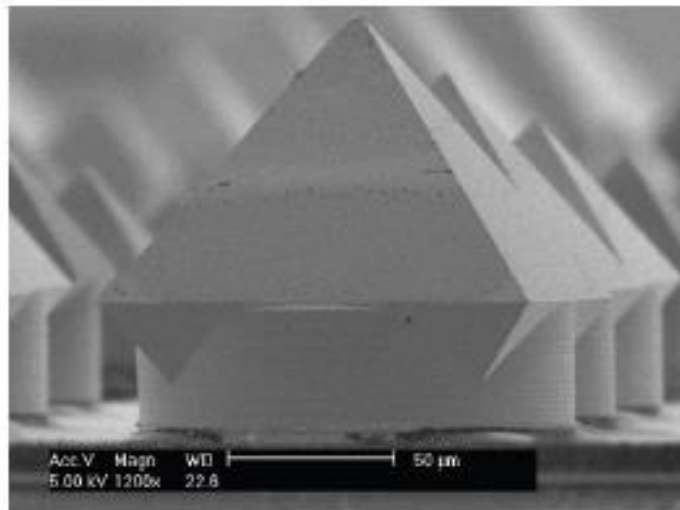
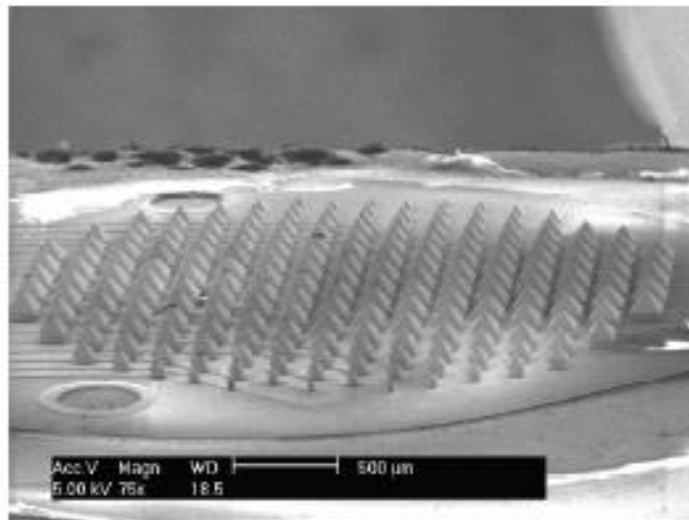


그림 1.6 3차원 화살촉 전극 어레이 제작 형상 (上)과 전극 확대 사진 (下) [21, 44, 46-49].

### 1.3.2 고해상도 망막 자극기의 이전 연구 결과들

미국 해군 연구소의 *scribner et al* [26] 는 CMOS IC 를 처음으로 적용하여 고해상도 망막 자극기 구현을 위한 연구 내용을 제시했다. CMOS IC 는  $80 \times 40$  어레이로 구성되었고, 안구 곡률을 고려한 미세한 유리판이 집적되었다. 그러나 칩의 동작이나, 망막 자극에 대한 평가 결과를 제시하지는 않았고, 이식 가능한 망막 자극기를 보여주지도 않았다. 이 연구 결과는 망막을 자극할 수 있는 CMOS IC 를 제시한 것으로, 망막 자극이 가능한 이식형 망막 자극기의 구현으로 보기는 어렵다. 그림 1.7은 제시된 자극기 칩의 layout 을 보여준다 [26].

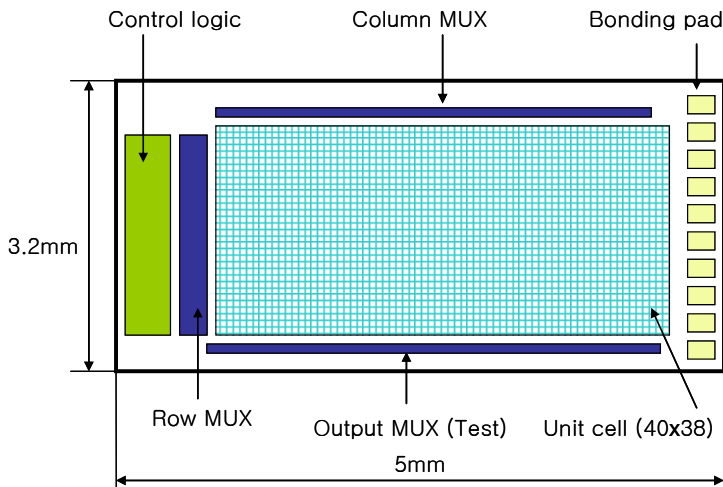
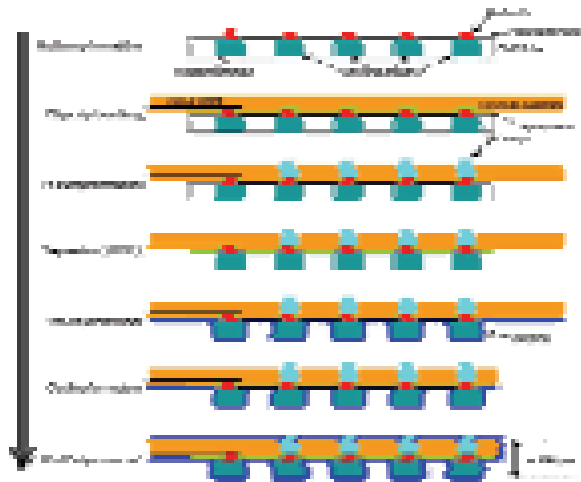
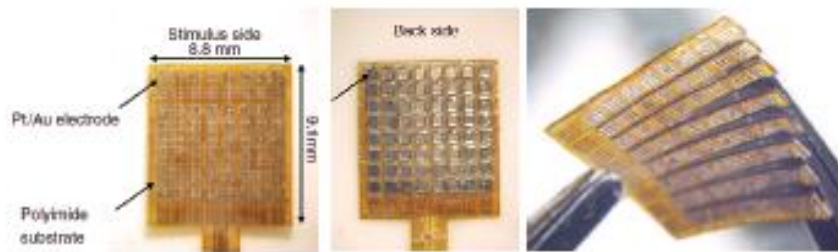


그림 1.7 미국 해군 연구소에서 제시한 고해상도 자극기 칩의 Layout [26].

또 다른 고해상도 망막 자극기 구현을 위한 연구로서, 일본의 *Ohta et al* [18, 27] 는 9개의 전극으로 구성된 CMOS IC 자극 소자가  $8 \times 8$  어레이로 구현한 결과를 제시하였다. 자극 전극은 니들 타입의 3차원 전극이고, 재질은 백금으로 제작되었다. 자극기의 전체 자극 부분의 크기는  $8.8 \times 9.1 \text{ mm}^2$  이고, 전체 두께는 약  $300 \mu\text{m}$  정도이다. 자극 부분에 대한 전극 밀도를 평가하기 위하여 이 자극기의 자극 부분을 망막의 황반 면적 기준으로 계산하면 약 150개 정도로 계산된다. 이는 고밀도 망막 자극기의 전극 밀도로 보기에 미진한 부분이 있어 보인다. 자극기는 망막 전 이식용으로 제작되었고 CMOS IC 의 유연성을 확보하기 위하여 CMOS IC 를 64개로 분리하는 공정을 제안하고 구현하였다. 그림 1.8 은 제안된 자극기의 제작 결과를 보여준다 [18, 27].



(a) 자극기 제작 공정도.



(b) 자극기 제작 결과.

그림 1.8 일본 *Ohta* 그룹의 망막 자극기 제작 공정 및 결과 [18, 27].

또 다른 고해상도 망막 자극기 연구로서, 독일의 *zrenner et al* [13] 는 MPDA 기반의 고해상도 망막 자극기를 제시했다. 이 자극기는 사람에게 이식되어 임상 테스트 결과를 발표하였고, 세계적으로 가장 앞선 연구 결과로 보여진다. 자극기에 적용된 CMOS IC 의 크기는  $3.0 \times 3.1 \text{ mm}^2$  이고,  $38 \times 40$  어레이로 구성된 1500 개의 자극 전극을 가지고 있다. 자극 전극 재질은 TiN 이고, 자극 전극 크기는  $50 \times 50 \mu\text{m}^2$  이다. 동작 방식은 외부의 빛을 포토다이오드로 감지하고, 증폭기를 이용하여 신호를 증폭한 후, 자극 전극으로 인가하는 방식이다. 이 방식은 외부의 영상을 신호 처리하는 절차가 필요 없이 CMOS IC 를 구동하는 전원선을 포함한 몇 개의 선으로도 칩이 동작 가능한 장점을 가지고 있다. 자극기 이식 방식은 망막 하 방식이고, CMOS IC 를 구동하는 전원은 귀 뒤쪽 부분의 관통을 통해 유선으로 연결되었다. 망막 자극기를 동작시키는 배선은 5개이고, CMOS IC 와 이식형 자극기 배선 연결 방식은 솔더링 기법이 적용되었다. 자극기 총 두께는 약  $100 \mu\text{m}$  이상으로 추정된다. 이 두께는 CMOS IC 두께  $70 \mu\text{m}$ , 폴리이미드 기판 두께  $15 \mu\text{m}$  와 솔더링 두께를 합산해서 추정되었다. 그림 1.9 은 *Zrenner* 그룹에서 제시된 자극기를 보여준다 [13]. 그림 1.10 은 제작된 자극기의 망막 하 이식된 상태를 보여준다 [13].

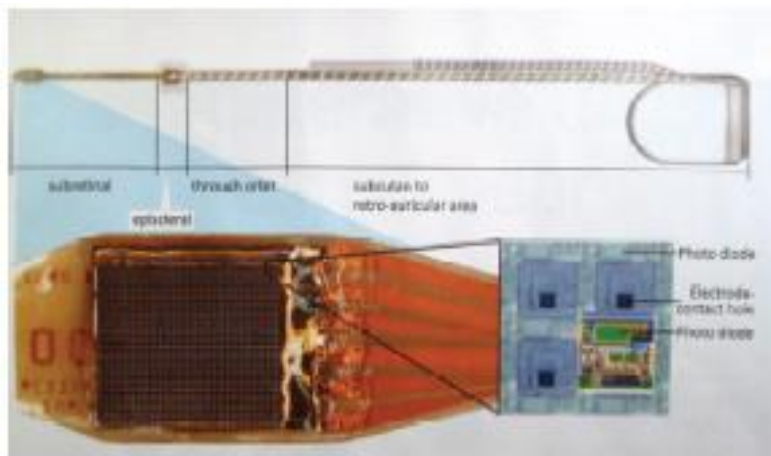


그림 1.9 독일 *zrenner* 그룹의 인공망막 자극기 제작 형상 [13].

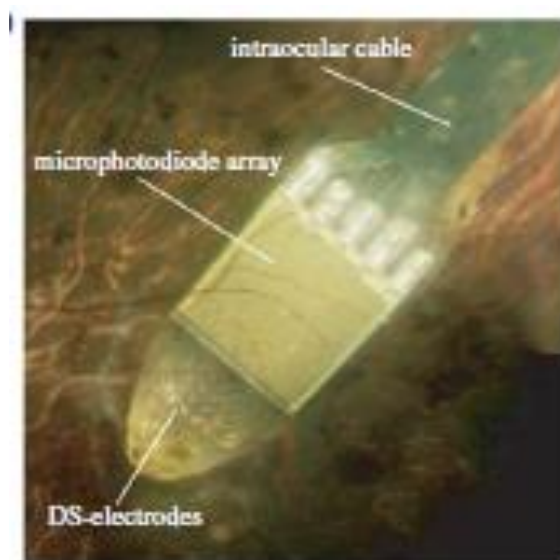


그림 1.10 독일 *zrenner* 그룹의 인공망막 자극기의 망막 하 이식 사진 [13].

### 1.3.3 생체 소자 보호용 고분자 물질들

폴리이미드는 지난 30년 넘게 생체에 적용되는 의료용 고분자 재료 분야에서 널리 사용되어 왔다 [28]. 주로 전기적인 회로를 보호하는데 사용되어졌다. 폴리이미드는 감광성과 비감광성으로 크게 구분된다. 감광성 폴리이미드는 비 감광성 폴리이미드에 비해 수분 흡수율이 높은 경향이 있다. 다른 생체 적용 고분자 재료로서 페릴린이 있다. 페릴린은 진공 환경에서 고분자 알갱이를 열로 기화시켜서 증착된다. 2분자체 구조로 된 페릴린을 열을 가하여 단량체 가스로 기화시키는 방식이다. 페릴린은 전기적인 소자 보호와 생체 의료 분야에서 널리 사용되어 왔고, 화학적, 생물학적인 환경에서 좋은 차단 특성을 갖고, 전기적인 절연 특성도 우수하다 [29, 30]. 그림 1.11 은 페릴린 C 의 분자 구조를 보여준다 [29]. 그림 1.12 는 이식 소자에 사용되는 고분자 폴리머 특성을 보여준다 [29]. 페릴린 C는 24 시간 수분 노출 기준으로 수분 흡수율이 0.06% 미만으로 좋은 수분 차단 특성을 가지고 있음을 보여준다. 폴리이미드는 0.8 ~ 1.4% 정도의 상대적으로 높은 수분 흡수 특성을 보여준다. LCP 는 수분 흡수율이 0.03% 로 가장 좋은 수분 차단 특성을 보여준다.



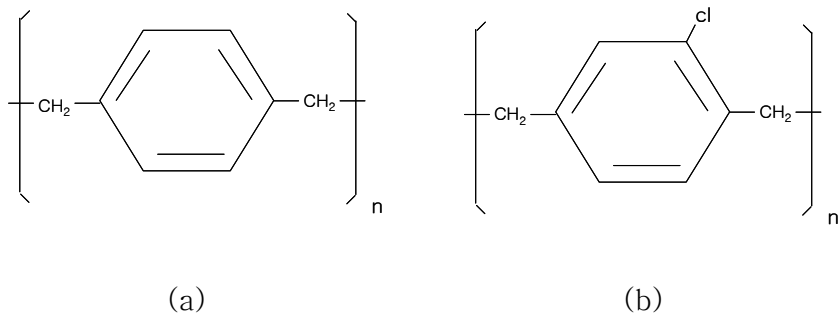


그림 1.11 Parylene-N (a) 과 Parylene-C (b) 의 화학 구조[29].

Properties of polymers	Polyimide <sup>a</sup>	Parylene C <sup>b</sup>	PDMS <sup>c</sup>	SU-8 <sup>d</sup>	LCP <sup>e</sup>
Density (g/Cm <sup>3</sup> )	1.10-1.11	1.289	1.08	1.075- 1.238	1.4
Moisture absorption (%)	0.8-1.4	0.06	<1	0.55-0.65	0.03
Melting temperature (°C)	-	290	-	-	280
Thermal conductivity (W/cm K)	0.29	8.2	15-25	0.002- 0.003	-
Thermal coefficient of Expansion (ppm/K)	12	35	-	52	4-38
Disletric coefficient (ε <sub>r</sub> )	3.5(at 1kHz)	3.1 (at 1kHz)	2.6-3.8 (at 50Hz)	3.2 (at 10MHz)	3 (at 1MHz)
Tensile Strength (MPa)	392	69	6.2	60	182
Elongation (%)	30	200	600	4.8-6.5	3.4

<sup>a</sup> USE U-Varnish-S., <sup>b</sup> PCS Parylene C, <sup>c</sup> NuSil MED-1000, <sup>d</sup> MicroChem Su-8 2000 & 3000 Series, <sup>e</sup> Vectra MT1300

그림 1.12 이식 소자에 사용되는 고분자 폴리머 특성 [29].

### 1.3.4 자극 전극과 망막 조직간의 임피던스 모델

고밀도 망막 자극기 연구에서 자극 전극은 중요하게 고려되는 부분이다. 자극 전극과 망막 조직간의 계면 임피던스는 자극 회로의 출력 부하에 큰 영향을 주고, 이것은 망막 자극기의 자극 조건과 연관된다. 고밀도 자극을 위해서는 망막의 황반 영역에 전극 갯수를 최대화해야 한다 [31]. 단위 면적 당 자극 전극 갯수를 늘리려면 단위 전극당 기관에서 차지하는 면적은 작아져야 한다. 그러나 자극 전극이 작아짐에 따라서 망막 조직과 접하는 전극의 표면적이 작아지면 망막 조직과 전극간의 계면 임피던스가 상승하게 되고, 이로 인해 망막 자극이 가능한 전하를 주입하는 조건에서 전압이 높아지는 부정적인 효과가 발생한다. 이를 개선하기 위해서는 망막과 조직간의 계면 임피던스를 이해하는 것이 중요하다. 그림 1.13 은 전극과 전해질 사이에서의 임피던스를 표현하기 위하여 3소자 모델을 표현한다. 전극의 전하 주입은 전기 이중층 막에서의 충전과 방전 과정을 통해 이루어진다.  $R_u$  는 조직 저항을 나타내고,  $C_F$  는 이중층에서의 정전 용량을 나타낸다. 그리고  $R_p$  는 패러데이 전하 전달 저항을 나타낸다. 그림 1.14 는 안구내의 유리체액 환경에서 망막에 접촉된 전극 크기가 다른 조건에서 주파수에 따른 임피던스와 위상을 표현한다. 전극 크기가 커짐에 따라 1kHz 주파수를 기준으로 임피던스값이 크게 작아짐을 보여준다 [32] - [35].

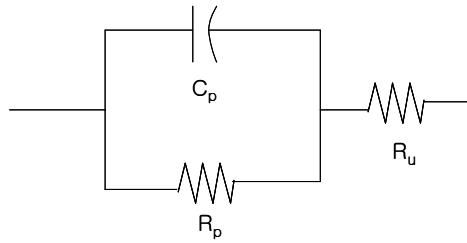


그림 1.13 전극과 전해질사이에서의 임피던스를 표현하는 3소자 모델 [32].

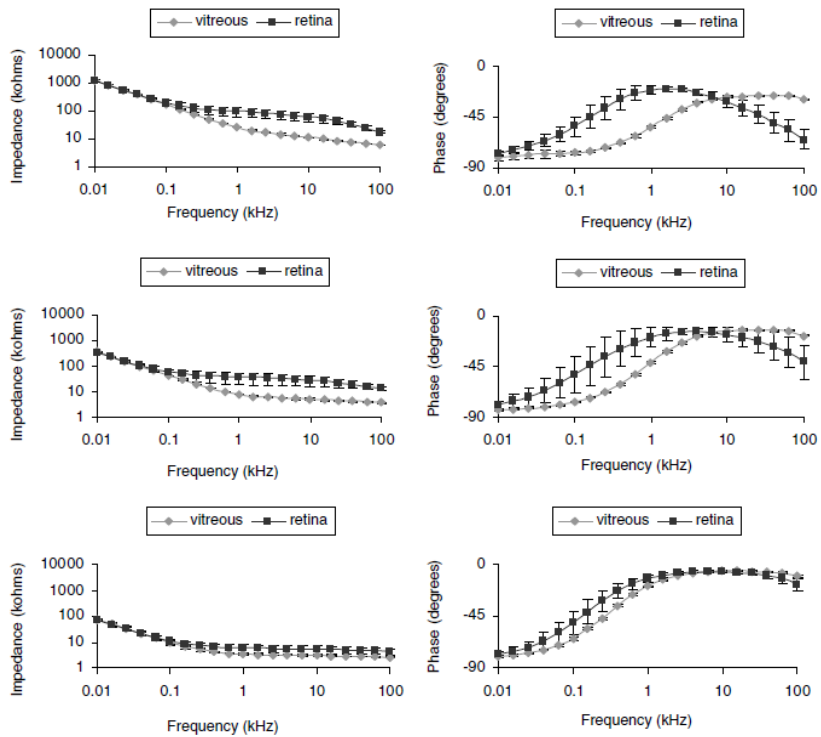


그림 1.14 크기가 다른 전극에서 주파수에 따른 임피던스와 위상값 [32].

Sangmin. Lee 는 크기가 다른 전극들의 전해질과 전극 사이의 임피던스 측정을 진행하였다 [36, 50]. 2차원 전극 직경  $25\mu\text{m}$ ,  $50\mu\text{m}$ ,  $75\mu\text{m}$  를 가지고 임피던스 측정을 진행하였고, 직경  $75\mu\text{m}$  전극이 직경  $25\mu\text{m}$  전극에 비해 임피던스가 11.5 배 작게 측정된 결과를 보여주었다. 그림 1.15 는 전극 크기와 형상에 따라서 측정된 임피던스 값을 보여준다 [36, 50]. 그림 1.16 은 2차원 전극과 3차원 전극의 크기에 따른 임피던스 측정값을 요약하여 보여준다 [36, 50]. 그림 1.17 은 전극의 크기에 따라서 허용 가능한 전하 주입 용량의 측정값을 보여준다 [36, 50].

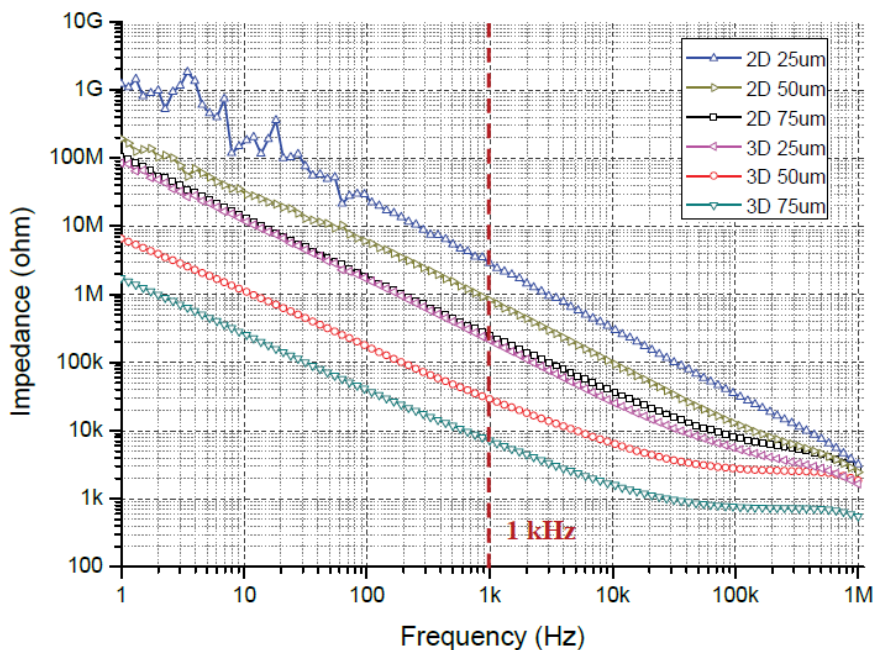


그림 1.15 전극 크기와 형상에 따라서 측정된 임피던스 값[36, 50].







@ 1 kHz	2D circular electrode			3D arrowhead-shaped electrode		
Diameter ( $\mu\text{m}$ )	25	50	75	25	50	75
Base area ( $\mu\text{m}^2$ )	491	1,963	4,418	491	1,963	4,418
Surface area ( $\mu\text{m}^2$ )	491	1,963	4,418	4,802	11,354	19,656
Surface area/base area	1	1	1	$\sim 10$	$\sim 6$	$\sim 4$
Area ratio compared to 2D 25 $\mu\text{m}$	1	$\sim 4$	$\sim 9$	$\sim 10$	$\sim 23$	$\sim 40$
Conversion to 2D circular electrode	25	50	75	$\sim 78$	$\sim 120$	$\sim 158$
Impedance ( $\text{k}\Omega$ )	2,850	817	248	212	29.0	7.19
Impedance ratio compared to 2D 25 $\mu\text{m}$	1	0.29	0.087	0.074	0.0098	0.0025
Image						

그림 1.16 2차원 전극과 3차원 전극의 크기에 따른 임피던스 측정값의 요약 [36, 50].

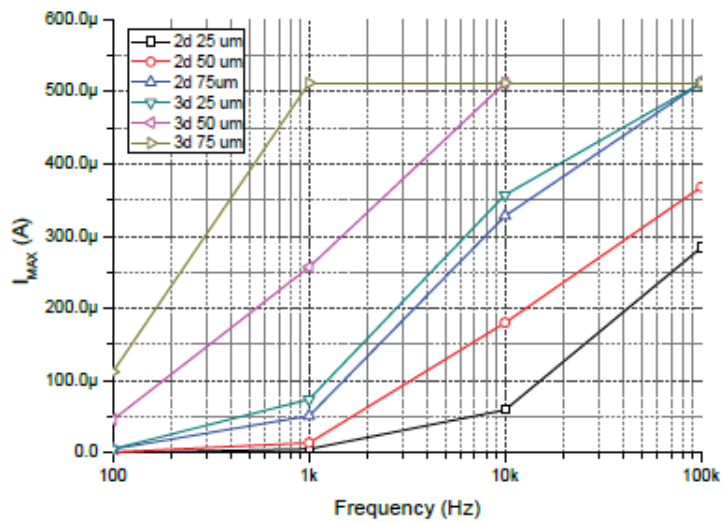


그림 1.17 전극의 크기에 따라서 허용 가능한 전하 주입 용량의 측정값 [36, 50].

추가적인 실험으로, 전극 크기를 고정하고 인가 주파수에 따른 임피던스 값을 측정하였다. 인가 주파수가 높아짐에 따라 임피던스 값은 작아졌다. 표 1.1 은 인가 주파수에 따른 임피던스 값을 보여준다 [36, 50]. 전극 크기와 형상, 인가주파수에 따른 임피던스 값의 경향을 볼 때 3차원 전극이 2차원 전극보다는 임피던스 저하 측면에서 유리하고, 인가 주파수를 높게 하면 전하 주입이 늘어남을 보여주었다.

Electrode type	Pulse duration (operation voltage @ 5V)			
	0.01 ms (100 kHz)	0.1 ms (10 kHz)	1 ms (1 kHz)	10 ms (0.1 kHz)
2D 25 $\mu\text{m}$	284 $\mu\text{A}$	59.2 $\mu\text{A}$	5.12 $\mu\text{A}$	0.21 $\mu\text{A}$
2D 50 $\mu\text{m}$	368 $\mu\text{A}$	180 $\mu\text{A}$	13.6 $\mu\text{A}$	0.88 $\mu\text{A}$
2D 75 $\mu\text{m}$	512 $\mu\text{A}$ (max)	328 $\mu\text{A}$	51.2 $\mu\text{A}$	5.1 $\mu\text{A}$
3D 25 $\mu\text{m}$	512 $\mu\text{A}$ (max)	357 $\mu\text{A}$	74 $\mu\text{A}$	5.4 $\mu\text{A}$
3D 50 $\mu\text{m}$	512 $\mu\text{A}$ (max)	512 $\mu\text{A}$ (max)	257 $\mu\text{A}$	46 $\mu\text{A}$
3D 75 $\mu\text{m}$	512 $\mu\text{A}$ (max)	512 $\mu\text{A}$ (max)	512 $\mu\text{A}$ (max)	112 $\mu\text{A}$

표 1.1 인가 주파수에 따른 임피던스 값 [36, 50].

### 1.3.5 서술 개요

본 논문에서는 고밀도 망막 자극을 위해 3차원 화살촉 전극 [21, 44, 46-49] 과 CMOS IC 를 집적하는 공정 방법을 제시한다. 추가적으로 망막 하 이식을 위한 이식형 자극기의 박막화 공정과 자극기의 장기간 이식 시 안정적인 동작을 위해서 수분 차단 특성이 좋은 페럴린 C 고분자 전면 증착 공정 및 자극 전극 부분만 부분적으로 개방하는 공정 방법에 대해 소개한다. CMOS IC 는 본 그룹에서 선행 개발된 것으로  $2.5 \times 5 \text{mm}^2$  면적에 독립적인 자극이 가능한 자극 전극 512개, 전극을 조정하는 배선 48개와 자극 전극에서의 전하 주입량을 감지하는 배선 48개로 구성되었다. CMOS IC 는 외부의 FPGA 보드에서 조정 가능하도록 설계되었다. 고밀도 망막 자극을 위해 자극 전극과 망막 조직간의 계면 임피던스 값을 최소화하기 위해 접촉 표면적을 2차원 전극에 비해 크게 늘릴 수 있는 3차원 화살촉 전극이 CMOS IC 의 2차원 자극 전극에 집적되도록 설계되었다. 3차원 화살촉 전극은 본 그룹에서 선행 개발된 것으로 전해질에서의 임피던스 측정을 통해 2차원 전극대비 계면 임피던스 값을 크게 낮출 수 있음이 확인되었다. 3차원 전극과 CMOS IC 접합 방법으로는 이식형 자극기의 박막화 및 전극과 망막 조직간 접촉을 용이하게 하기 위하여 일반적으로 사용되는 와이어본딩 방식이 아닌 Au/Sn 플립 칩 본딩이 적용되었다. 박막화 공정 결과 CMOS IC 두께는

약  $50\mu\text{m}$  정도, 이식형 자극기 전체 두께는 폴리이미드 기판과 페럴린 보호막을 포함하여 약  $80\mu\text{m}$  로 구현되었다.

제 1장의 소개 부분에 이어서, 제 2장에서는 본 논문에서 제안하는 고밀도 망막 자극기의 연구 동기와 설계 개념을 기술한다.

제 3장에서는 본 논문에서 제안하는 자극기를 제작하는 공정에 대해 소개한다. 제작 순서는 CMOS IC 에 집적하는 3차원 화살촉 전극의 설계 및 제작, 3차원 화살촉 전극과 CMOS IC 와의 Au/Sn 플립 칩 본딩 공정 후 기판 실리콘 제거, 이후 단결정 실리콘 웨이퍼위에 형성한 폴리이미드 물질과 배선으로 구현한 이식형 자극기 몸체에 3차원 화살촉 전극이 집적된 CMOS IC 를 Au/Sn 플립 칩 본딩 공정으로 접합시키는 공정, 마지막으로 소자 전면에 페럴린 C 보호막 공정 후 자극 전극만 부분적으로 개방시키는 공정에 대해 기술한다.

제 4장에서는 제안된 공정으로 제작된 자극기 소자에 대한 망막 이식형 자극기로서의 성능 평가에 관하여 기술한다. 3차원 화살촉 전극의 기계적 접합 평가 평가, Au/Sn 플립 칩 본딩 범프에서의 고주파 전달 특성과 전해질 가속 조건 노출 후 배선의 누설 전류를 측정한 결과를 제시한다.

마지막으로 제 5장에서는 제작된 소자에 대해 요약하고, 결론에 대해 기술한다. 추가적으로 향후 업무에서는 제안된 자극기를 개선하는 내용에 대해서 다룬다.



## Chapter 2

# 연구 동기 및 설계

### 2.1 시스템 구성

#### 2.1.1 연구 동기

최근 인공망막 자극기 연구 동향은 고해상도 자극기 구현이다. 고해상도 망막 자극기에서 전극 밀도 증가로 전극 크기가 작아졌을 때, 망막에 손상을 주지 않을 정도의 낮은 전압에서 안정적으로 망막 신경 세포가 자극이 되어야 한다. 이는 망막 조직과 자극 전극간의 계면 임피던스와 밀접한 연관이 있다. 조직과 전극간의 계면 임피던스 저하를 위한 자극 전극의 제작을 통한 접근 방법은 기관에서 차지하는 면적대비 조직과 접하는

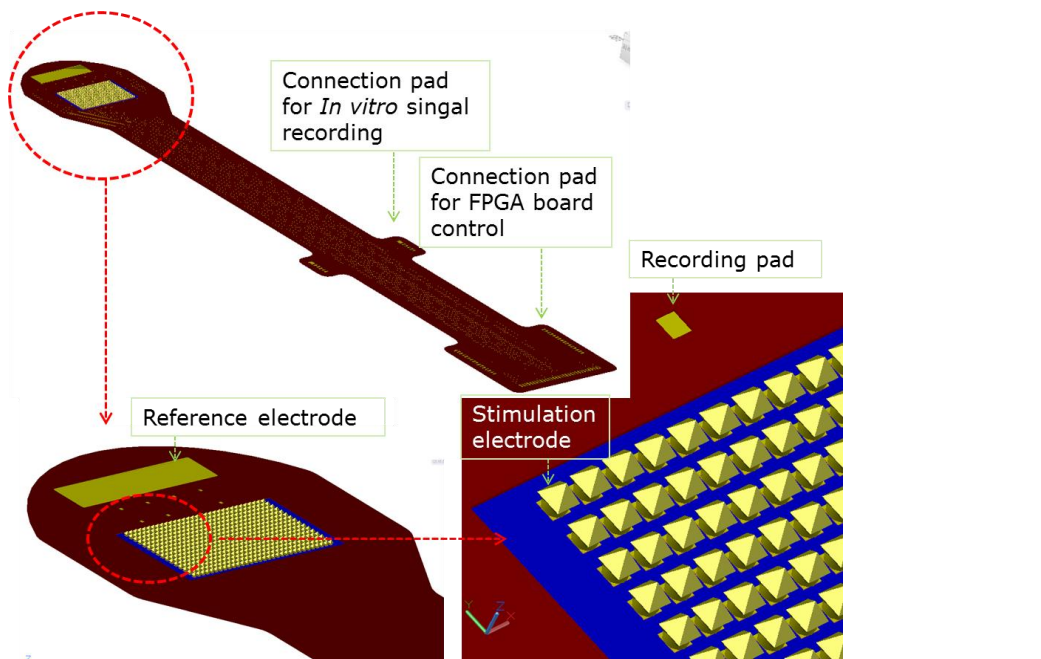
전극의 표면적을 최대로 크게 하는 것이다. *Zrenner et al* [13] 는 CMOS IC 기반으로 한 고해상도 망막 자극기로 임상테스트까지 진행한 결과를 제시했다. 현 시점에서 가장 진보된 자극기로 평가되어진다. 이 자극기는 TiN 재질의 2차원 자극 전극을 사용하였고, 전극 크기는  $50 \times 50 \mu\text{m}^2$  이다. 망막을 자극시키는 전압 조건을 제시하지는 않았지만, 2차원 자극 전극으로 인해 망막 조직과 자극 전극간 계면 임피던스 값은 3차원 전극보다 높을 것으로 예상되며, 망막과 접하는 표면적을 최대화하는 자극 전극이 필요해 보인다. 본 그룹의 선행 연구에서, 3차원 전극과 2차원 전극의 임피던스 측정 결과 3차원 전극이 2차원 전극에 비해 크게 낮게 측정됨을 확인하였다. 그리고 3차원 전극 중에서도 전극 형상에 따라 조직과 접하는 표면적을 계산하면 화살촉 전극이 다른 원형 기둥 전극이나, 니들 타입의 전극보다 조직과 접하는 표면적이 크게 계산되었다. 따라서 고밀도 망막 자극기를 위한 연구에서 3차원 화살촉 전극과 CMOS IC 의 통합이 필요해 보인다. 그리고 망막 하 이식 시 망막이 받는 스트레스를 줄이기 위하여 자극기 두께는 박막화되어 제작 될 필요가 있다. 위 내용을 정리하면, 어떤 이식 방식이든지 자극 효율과 관련된 망막 조직과 자극 전극간 계면 임피던스는 낮아야 하고, 망막 하 이식 방식의 경우 자극기 두께는 망막 시세포층 두께를 기준으로 박막화되어 제작되어야 한다. 본 논문에서는 조직 전극간 계면 임피던스 저하 방법으로 3차원 화살촉 자극 전극을 CMOS IC 에 집적시키는 방법을 제안한다. 망막 하 이식을

위해 이식형 자극기 소자 전체 두께는 약  $80\mu\text{m}$  를 목표로 한다. 그리고 망막에 자극기의 장기간 이식시 자극기의 전기적 안정성을 고려하여 수분 흡수율이 낮은 페릴린 C 를 소자 최외곽 층에 보호막으로 증착하고, 자극 전극 부분만 제거하는 공정을 제안한다.

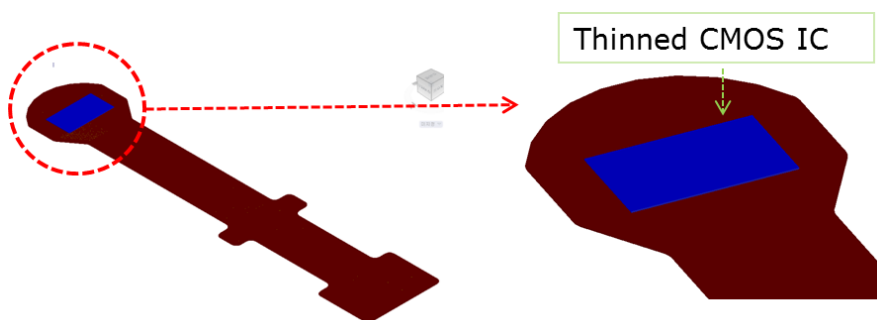
### 2.1.2 CMOS IC 와 고밀도 3차원 전극의 통합 구현 방안

앞에서 다루어진 바와 같이, 본 논문에서는 고밀도 망막 자극을 위해 CMOS IC  $2.5 \times 5 \text{ mm}^2$  면적에 3차원 화살촉 전극 512개를 집적하는 방식으로 설계되었다. 3차원 화살촉 전극은 조직과 접하는 면적을 최대화하기 위한 것이다 [21, 44, 46-49]. CMOS IC  $2.5 \times 5 \text{ mm}^2$  면적은 MPW 면적 제한에 의한 것이다.  $5 \times 5 \text{ mm}^2$  면적의 CMOS IC 로 설계한다면, 자극 전극은 1000 개 이상이 될 수 있다. 본 자극기는 망막 하 이식을 위해 이식형 자극기 전체 두께는 약  $80\mu\text{m}$  로 설계되었다. MPW 공정 후의 CMOS IC 두께는  $450\mu\text{m}$  정도이다. 자극기 박막화 공정은 CMP (Chemical Mechanical Planarization) 공정으로 CMOS IC 를  $150\mu\text{m}$  정도의 두께로 만든 후, 3차원 화살촉 전극과 CMOS IC 를 Au/Sn 플립 칩 본딩한다. 다음으로 DRIE (Deep Reactive Ion Etching) 공정을 통해 CMOS IC 두께는  $50\mu\text{m}$  이하로 만들어진다. CMP 공정의 진행 목적은

DRIE 공정만으로  $450\mu\text{m}$  건식 식각 공정을 진행하면 건식 식각이 더 이상 안되는 black 실리콘이 발생할 확률이 높고, 건식 식각 공정이 길어짐에 따라 이식형 자극기 몸체 물질인 폴리이미드가 손상을 받을 수 있기 때문이다. 제안된 망막 자극기 전체 두께는 약  $80\mu\text{m}$  로 이식형 자극기 몸체인 폴리이미드 두께  $12\mu\text{m}$ , Au/Sn 플립 칩 범프 높이  $10\mu\text{m}$ , 박막화된 CMOS IC 두께  $50\mu\text{m}$ , 패들린 보호막 두께  $8\mu\text{m}$  를 합한 값이다. 그림 2.1은 고밀도 망막 자극을 위한 3차원 화살촉 전극이 CMOS IC에 집적되어 제작되는 망막 자극기의 개념도이다.



(a) 자극기 전면부 형상.



(b) 자극기 후면부 형상.

그림 2.1 CMOS IC 와 3차원 전극의 통합으로 구현되는 고밀도 망막 자극기의 개념도.

본 연구에서 제안된 인공 망막 자극기 제작을 위한 마스크는 *In Vivo* 와 *In Vitro* 실험용 자극기 소자가 포함되어 설계되었다. *In Vitro* 용은 망막 자극과 감지 모두 가능한 종류와 망막 자극만 가능한 2 종류로 구성되었다. 그림 2.2 는 고밀도 망막 자극을 위한 CMOS IC 와 3차원 화살촉 전극을 통합하는 자극기 제작을 위한 마스크 설계 결과를 보여준다. 그림 2.3 는 *In Vitro* 실험용과 *In Vivo* 실험용 자극기를 보여준다.

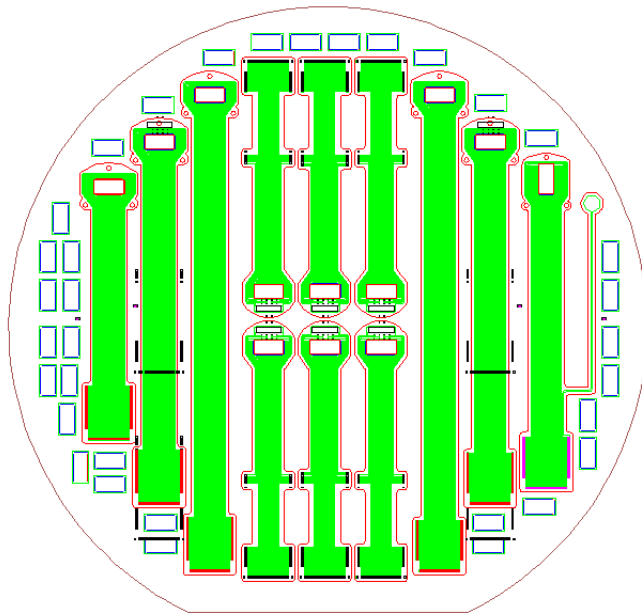
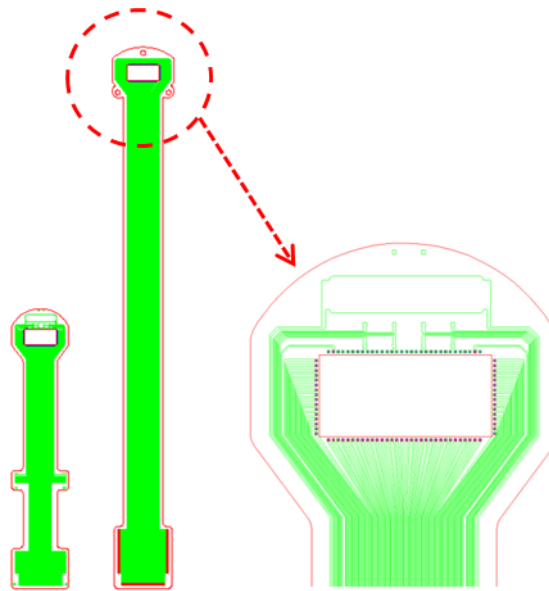
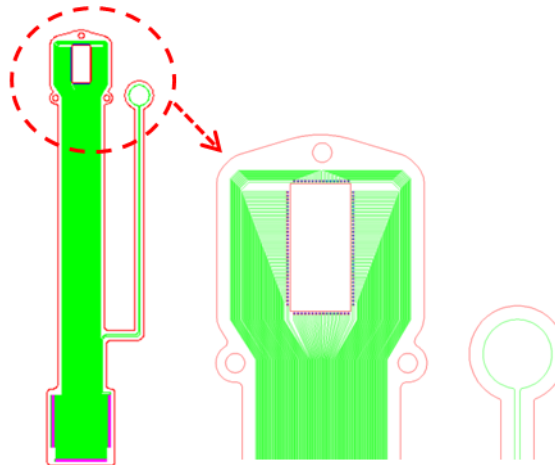


그림 2.2 고밀도 망막 자극을 위한 CMOS IC 와 3차원 전극의 통합형 자극기 제작 마스크 설계 결과.



(a) *In Vitro* 자극기 (左) 및 자극 부분 확대도 (右)



(b) *In Vivo* 자극기 (左) 및 자극 부분 확대도 (右)

그림 2.3 *In Vitro* 실험용 자극기와 *In Vivo* 실험용 자극기

## 2.2 고밀도 망막 자극을 위한 CMOS IC 와 3차원 전극의 통합 기술

### 2.2.1 3차원 화살촉 전극 설계

3차원 화살촉 전극의 크기는 망막 자극 특성과 밀접하게 연관되어 있다. 망막 조직과 접하는 자극 전극의 표면적은 계면 임피던스 값에 영향을 미치기 때문이다. 본 연구의 3차원 화살촉 전극의 배치나 크기는 본 그룹에서 선행 제작한 CMOS IC 자극 전극에 맞추어 설계되었다. 사용된 전류 자극기 칩은 102회 MPW (동부 0.35 $\mu\text{m}$  HV-BCDMOS process) 공정으로 제작되었다 [37, 44]. 그리고 CMOS IC 를 제어하는 FPGA (Field-programmable gate array) 보드는 본 그룹에서 선행 개발되었다. 그림 2.4 는 CMOS IC 에 집적되는 3차원 화살촉 전극 제작을 위한 마스크를 보여준다. 3차원 전극은 다이싱 공정 후 CMOS IC [37, 44]와 플립 칩 본딩할 수 있도록 설계되었다. 전극의 크기는 자극 특성 평가를 위해 40  $\mu\text{m}$ , 60  $\mu\text{m}$ , 80  $\mu\text{m}$  로 각각 설계되었다. 고밀도 망막 자극을 위한 CMOS IC 와 3차원 전극 통합형 자극기를 제작하는 마스크는 6 종류로 구성된다. FPGA board 와 CMOS IC [37, 44] 를 연결하는 배선을 정의하는 마스크, 이식형 자극기 몸체인 폴리이미드에서 금속 전극을 드러내는 식각용 마스크, CMOS IC 와 기판을 본딩하기 위해서 Au/Sn/Au 범프를 정의하는 마스크, 이식형 자극기 몸체를 정의하는 마스크, 공정 안정화를 위해



실리콘 식각 시 폴리이미드 손상을 방지하는 보호막 공정용 마스크, 마지막으로 CMOS IC [37, 44] 에 집적되는 3차원 화살촉 전극 공정용 마스크이다.

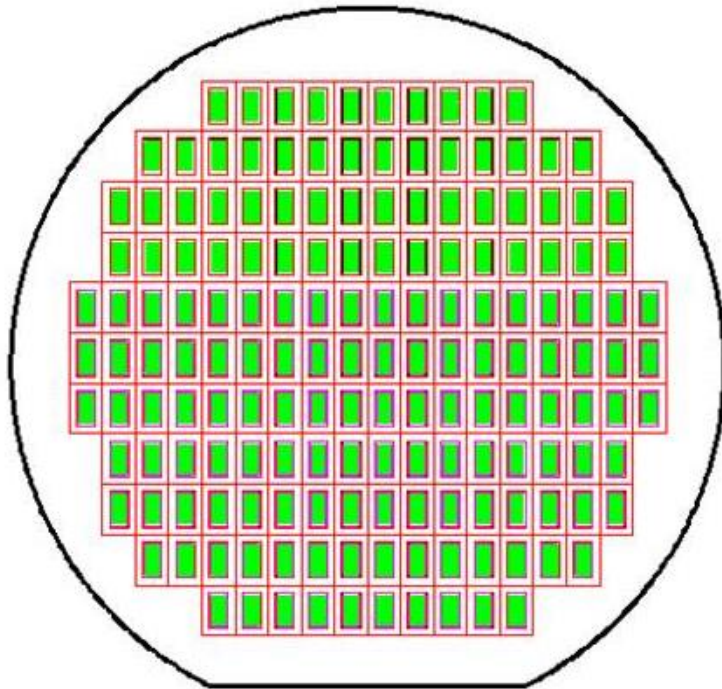


그림 2.4 CMOS IC 집적용 3차원 화살촉 전극 제작 마스크.

### 2.2.2 CMOS IC 와 3차원 전극의 통합 설계

본 자극기에 통합된 CMOS IC [37, 44] 는 512개 자극 전극과 외부의 전극으로 연결되는 96개 전극으로 구성되었다. 512개 자극 전극은 외부로 연결된 48개의 금속 배선을 통해 외부의 FPGA 보드에 연결되어 개별적으로 동작된다. 나머지 48개의 외부로 연결되는 배선은 512개 자극 전극 각각에 대한 전류 주입을 측정하기 위해 배치된 전극이다. 제안된 자극기의 배선은 폭  $25\mu\text{m}$  와 배선간 간격  $25\mu\text{m}$  로 설계되었다. 배선 길이가 길어짐에 따른 배선 저항을 고려하여 금속 배선은 금 도금  $1.5\mu\text{m}$  를 진행하였다. 이는 배선 폭이 작고, 배선 길이가 길어짐에 따른 배선 저항으로 인한 CMOS IC 동작 신호의 전압 강하 소스로 작용할 수 있음을 고려한 것이다. Au/Sn 플립 칩 본딩은 CMOS IC의 자극 전극에 3차원 화살촉 전극 512개를 집적하기 위하여 적용되었다. 제안된 자극기가 망막에 장기간 이식되었을 때, 전해질 환경에서의 수분 흡수에 의한 전기적 절연 저하를 고려하여 보호막 공정이 적용되었다. 보호막으로는 수분 흡수율이 낮아서 이식 소자에 사용되는 페릴린 C 가 적용되었다. 마지막으로 페릴린으로 전면 보호된 이식형 자극기에서 망막을 자극하는 3차원 화살촉 전극만을 노출시키기 위하여, Ti 마스크를 이용한 페릴린 식각 공정을 진행할 수 있도록 설계되었다.

## Chapter 3

# 제작

### 3.1 제작 공정

#### 3.1.1 고해상도 망막 자극용 3차원 전극 제작

제안된 자극기에서 사용되는 3차원 화살촉 제조 공정은 *Koo et al* [21]이 제시했다. 3차원 화살촉 전극은 다른 3차원 전극에 비해 기관에서 차지하는 면적 대비 조직과 접촉하는 표면적비가 큰 특징을 가지고 있다. 그림 3.1 3차원 전극과 3차원 전극의 비교 형상을 보여준다. 그림 3.2 은 2차원, 3차원 전극간의 형상에 따른 표면적비를 계산한 표이다.

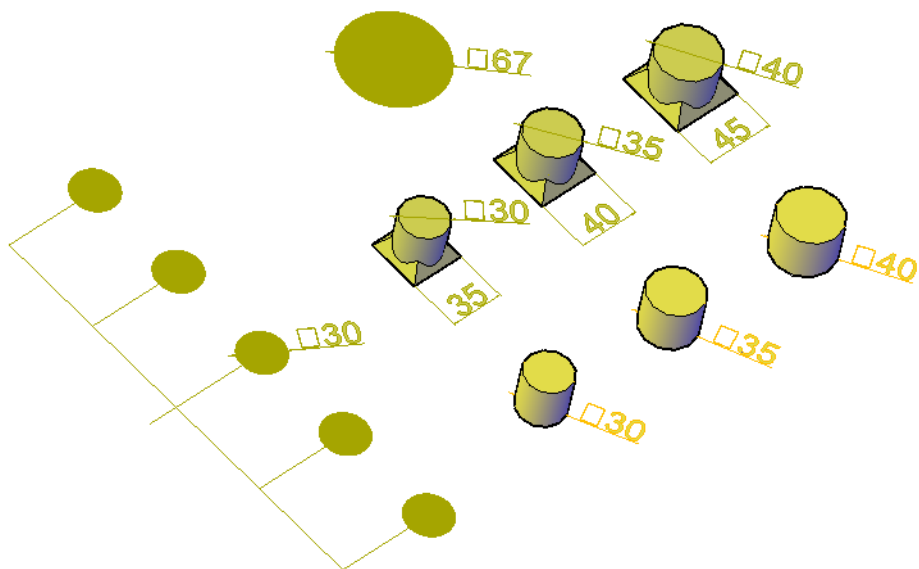


그림 3.1 3차원 전극과 3차원 전극의 비교 형상.

dia (um)	2D electrode area (um <sup>2</sup> )	3D Electrode classification	Type	3D electrode Area (um <sup>2</sup> )	Area ratio (3D/2D)
30	706.5	Exemption of pillar surface area	Needle	706.5	1.00
			Arrowhead	2121	3.00
		Inclusion Of pillar surface area	Needle	4241	6.00
			Arrowhead	6021	8.52
35	961.6	Exemption of pillar surface area	Needle	961.6	1.00
			Arrowhead	2771	2.88
		Inclusion Of pillar surface area	Needle	5222.8	5.43
			Arrowhead	7472	7.77
40	1256	Exemption of pillar surface area	Needle	1256	1.00
			Arrowhead	3507	2.79
		Inclusion of pillar surface area	Needle	6283	5.00
			Arrowhead	9066	7.22

그림 3.2 2차원, 3차원 전극간의 형상에 따른 표면적비를 계산한 표.

3차원 전극의 기둥 높이를  $38\mu\text{m}$  로 가정하고, 2차원, 3차원 전극간 표면적을 계산해 보았다. 기둥 높이  $38\mu\text{m}$  는 3차원 화살촉 전극 식각 공정에서 건식 식각된 깊이이다. 3차원 전극의 표면적 비교에는 기둥 측면 면적을 포함한 것과 포함하지 않은 것으로 크게 구분하였다. 이것은 3차원 자극 전극이 망막 자극 시 전극과 망막과의 접촉 양상에 따라 크게 2가지로 구분한 것이다. 그림 3.2 의 표면적 비교표는 2차원 전극과 3차원 전극이 동일한 기관 면적을 차지한다는 전제에서 비교되었다. 기둥 측면 면적을 포함하여 비교한 경우에는, 3차원 전극들이 2차원 전극에 비해 표면적비가 4배 이상 크게 계산되었다. 그리고 3차원 전극간 표면적 비교에

서는 3차원 화살촉 전극이 3차원 원형 기둥 전극보다 표면적이 1.4배 크게 계산되었다. 기둥 측면 면적을 제외하는 경우에는 2차원 원형 전극과 3차원 원형 기둥 전극의 표면적이 동일하게 되고, 3차원 화살촉 전극이 3차원 원형 기둥 모양 전극보다 약 2.9배 크게 계산되었다. 위 계산 결과를 정리하면, 기둥 측면 면적을 포함할 경우에는 3차원 화살촉 전극이 2차원 전극에 비해서는 약 8.5배 정도 크게 계산되며, 기둥 측면 면적을 제외할 경우에는 3차원 화살촉 전극이 2차원 전극에 비해 약 3배 크게 계산되었다. 이러한 표면적 차이가 망막 조직과 자극 전극 간 계면 임피던스 값에 영향을 미치고, 이 계면 임피던스 값은 망막 자극 조건에 직접적으로 영향을 미친다. 이것은 망막을 자극시키기 위한 동일한 전하 주입량에 대한 인가 전압 조건에서 2차원 전극과 3차원 화살촉 전극이 8.5배 차이가 발생할 수도 있음을 의미한다. 본 연구에서 제안된 CMOS IC [37, 44] 집적형 3차원 화살촉 전극의 크기는 본 그룹의 선행 실험 결과를 토대로 망막 자극 조건을 확인하기 위하여 전극 직경  $40\mu\text{m}$ ,  $60\mu\text{m}$ ,  $80\mu\text{m}$  로 적용되었다. 3차원 화살촉 전극을 제작하는 공정 순서는 다음과 같다. 실리콘 웨이퍼의 크리닝 공정을 진행한 후, TEOS (Tetraethyl orthosilicate) oxide 를  $1\mu\text{m}$  증착한다. 다음으로 감광제 (GXR-601, AZ Electronic Materials) 를 이용하여 패터닝 공정을 진행하고, 감광제 마스크를 이용하여 oxide 를 식각한다. 위 공정을 진행함으로써 화살촉 전극의 직경을 정의하는 하드 마스크 공정이 완료된다. 다음으로 화살촉 전

극의 기둥 깊이를 정의하기 위하여, 건식 식각 장비인 DRIE 를 이용하여 깊이  $40\mu\text{m}$  를 목표값으로 식각한다. 이후 건식 식각 공정에서 생긴 폴리머를 제거하기 위해  $\text{O}_2$  플라즈마와 SPM (황산과 과산화수소의 혼합물) 용액을 이용하여 크리닝 공정을 진행한다. 이후 습식 oxidation 공정을 통해 측벽을 oxide 로 보호하고, 전극 중공의 밑 부분에서의 oxide 를 제거하는 식각 공정이 진행된다. 연속적으로 TMAH 용액  $90^\circ$  에서 120 분 동안 습식 식각을 진행하여 3차원 화살촉 전극을 도금으로 제작하기 위한 중공 구조가 생성된다. TMAH 용액은 비등방성 식각 용액으로 단결정 실리콘에서 식각 속도가 가장 느린 (111) 면을 드러낸다. 위 공정에서는 4개의 (111) 면이  $54.74^\circ$  각도로 화살촉 전극 모양을 형성하게 한다. 3차원 화살촉 전극 도금을 위해서 도금 시드층을 형성하고, 두꺼운 감광제 (THB-151N, JST Micro/Materials innovation) 을 이용하여 전극 부분만 개방시킨다. 이후 금도금  $30\mu\text{m}$  가 진행된다. 금도금 두께  $30\mu\text{m}$  는 전극 직경  $60\mu\text{m}$  기준으로 한 것이고, 이는 전극 측면에서 도금이 동시에 진행된다는 전제로 산출된 값이다. 다음으로 도금면을 평탄화하기 위한 CMP 공정이 진행된 후, 다시 주석 도금  $6.5\mu\text{m}$  와 금 도금  $0.07\mu\text{m}$  진행하고, 두꺼운 감광제 (THB-151N, JST Micro/Materials innovation) 를 제거함으로써 CMOS IC 접합용 3차원 화살촉 전극 공정이 완료된다. 그림 3.3 은 3차원 화살촉 전극 제작 공정도 및 제작 형상 개념도를 보여준다.

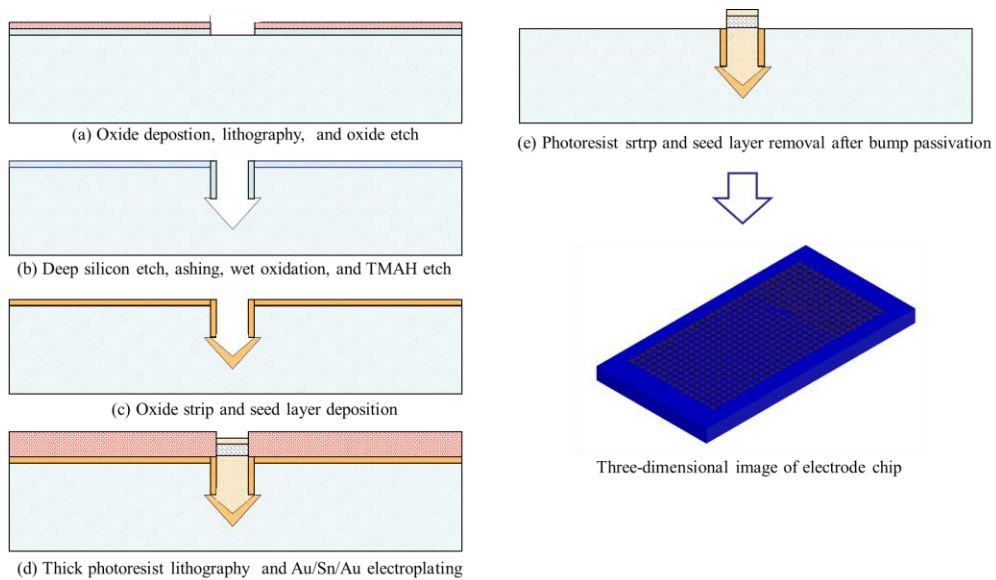


그림 3.3 3차원 화살촉 전극 제작 공정도 및 제작 형상.



그림 3.4 는 CMOS IC [37, 44]에 집적하기 위하여 제작된 3차원 화살촉 전극을 보여준다. 그림 3.5 는 TMAH 습식 식각 시간 조정으로 전극의 끝단이 평탄하게 형성된 화살촉 전극을 보여준다.

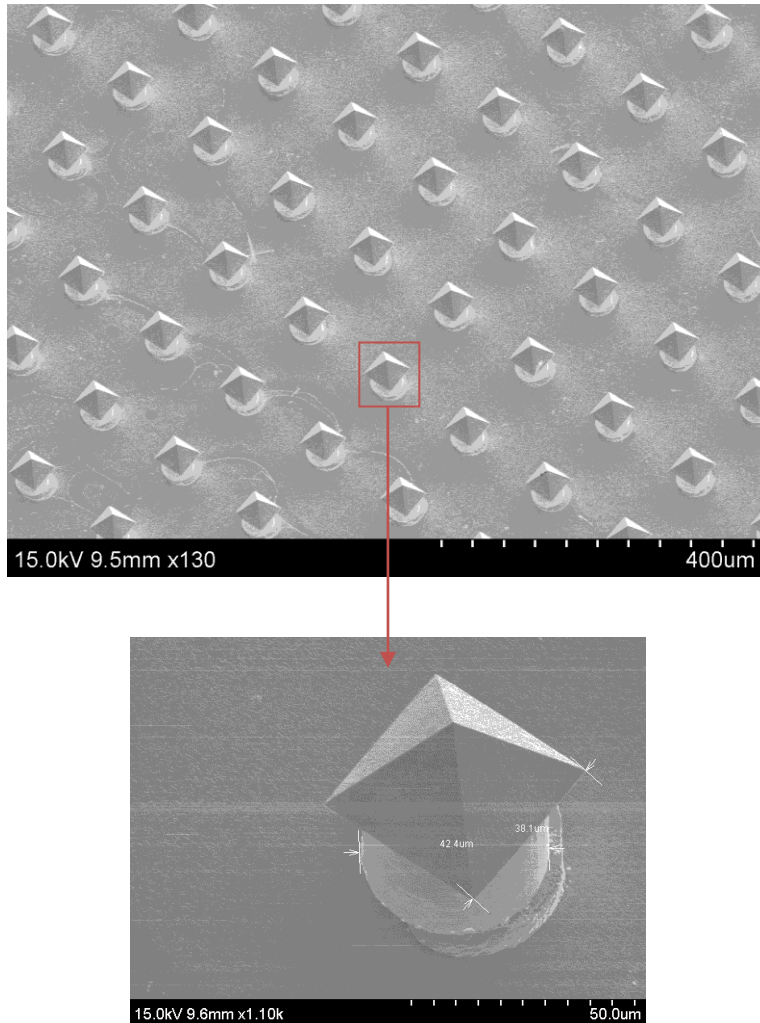


그림 3.4 CMOS IC 집적용 3차원 화살촉 전극 제작 결과.

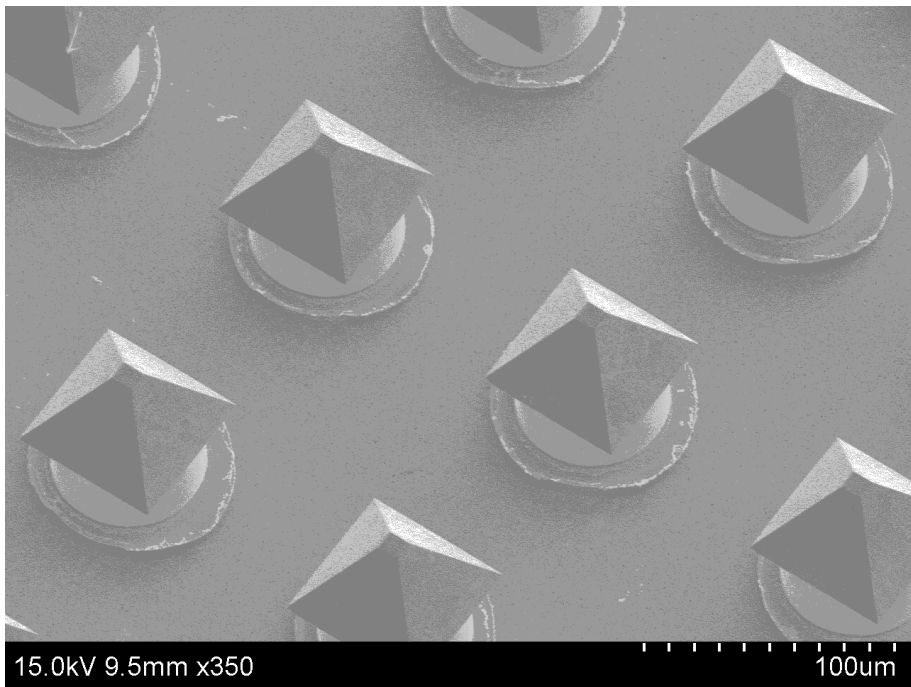


그림 3.5 TMAH 습식 식각 시간 조정으로 전극의 끝단이 평탄하게 형성된 화살촉 전극 형상.

### 3.1.2 고해상도 망막 자극용 기판 공정

CMOS IC [37, 44] 와 3차원 화살촉 전극 집적형 이식형 자극기의 몸체를 제작하기 위한 공정은 배선을 생성하는 공정과, CMOS IC 를 이식형 자극기 몸체에 플립 칩 접합이 가능하도록 하는 Au/Sn/Au 범프 공정으로 크게 구분된다. 3차원 전극이 플립 칩 본딩된 CMOS IC 는 이식형 자극기의 몸체에 생성된 금속 범프에 플립 칩 본딩된다. 이식형 자극기 몸체에 포함된 금속 배선평은  $25\mu\text{m}$  이고, 배선간 간격도  $25\mu\text{m}$  이다. 배선 저항을 낮추기 위해서 금 도금 공정을 통해 배선 두께를  $1.5\mu\text{m}$  로 생성하였다. 이식형 자극기의 몸체를 제작하는 공정 순서는 다음과 같다. 단결정 실리콘 웨이퍼 기판에 폴리이미드(PI2525, HD Microsystems) 는 spin coating 되고, curing 된다. 사용된 폴리이미드 PI2525 는 비감광성 폴리머로 수분 흡수율이 감광성 폴리이미드에 비해 낮다. 폴리이미드의 curing 조건은 상온에서부터 분당  $5\text{ }^{\circ}\text{C}$  로 가열되고,  $300\text{ }^{\circ}\text{C}$  에서 90 분간 유지한 후 자연 냉각되었다. 폴리이미드는 curing 조건에 따라서, 수분 흡수 특성이 크게 달라지는 것으로 알려져 있다. 다음 공정으로, 금속 배선을 도금하기 위하여 금속 시드층 Ti  $500\text{\AA}$  와 Au  $1500\text{\AA}$  을 스퍼터를 이용하여 증착한다. 금속 배선 도금을 위해 감광제 (AZnLoF 2035, MicroChemicals GmbH) 두께  $4\mu\text{m}$  로 패터닝 공정을 진행했다.

이후 금 도금  $1.5\mu\text{m}$  을 진행한다. 이후 감광제는 remover (AZ700, MicroChemicals GmbH) 를 이용하여 제거되었다. Ti/Au 도금 시드층은 감광제 (GXR-601)로 금속 배선을 보호한 후, 염산, 질산, D.I 혼합물인 왕수로 도금 시드층인 금을 제거하고, HF 49% 를 100:1 로 희석한 용액으로 Ti 를 제거하였다. 위 공정을 통해 두께  $1.5\mu\text{m}$  금속 배선이 공정되었다. 이후 연속적으로 폴리이미드 증착 및 curing 공정이 진행된다. 폴리이미드로 덮여진 전극을 노출시키기 위하여 Ti 마스크를 이용한  $\text{O}_2$  플라즈마 (RF150W, 압력 0.1 Torr,  $\text{O}_2$  100sccm) 식각 공정을 진행하여 전극을 노출시켰다. 다음 단계로 CMOS IC 를 기판에 본딩하기 위한 금속 범프를 제작하는 공정을 진행한다. 금속 범프는 Au/Sn 공용 반응을 고려하여 생성되어야 한다. 두꺼운 감광제 (JSR-THB151N, JST Micro/Materials innovation) 로 패터닝 공정을 진행한 후, 금 도금  $8\mu\text{m}$ , 주석 도금  $4.5\mu\text{m}$ , 금 도금  $0.07\mu\text{m}$  을 순차적으로 진행하여 금속 범프가 생성되었다. 이후 감광제를 제거하는 공정이 진행된다. 위 공정으로 CMOS IC 를 이식형 자극기 기판에 접착시키기 위한 범프 생성 공정이 마무리된다. 다음 단계로 3차원 화살촉 전극이 본딩된 CMOS IC 가 이식형 자극기 기판에 뒤집혀서 플립 칩 본딩될 때, CMOS IC 에 접합된 3차원 전극이 기판인 단결정 실리콘 웨이퍼에 충돌하지 않도록 실리콘 웨이퍼에 중공 구조를 형성한다. 중공이 형성되는 부분의 폴리이미드를 완전히 제거한 후 건식 식각 장비인 DRIE 를 이용하여 단결정 실리콘 웨이

퍼를  $80\mu\text{m}$  이상 식각하였다. 그림 3.6은 고밀도 망막 자극용 이식형 자극기의 기관 공정도를 보여준다. 그림 3.7은 CMOS IC [37, 44]를 이식형 자극기 몸체에 접합하기 위해 생성된 Au/Sn/Au 범프 구조의 SEM (주사형 전자현미경) 사진을 보여준다. 그림 3.8은 단결정 실리콘 기관이  $80\mu\text{m}$  이상 건식 식각되어 중공 구조가 형성된 모양을 보여준다. 그림 3.9는 단차 측정기 (Nanospec AFT/200, KLA-TENCOR) 로 중공 구조의 식각 깊이를 측정한 결과 그래프를 보여준다.

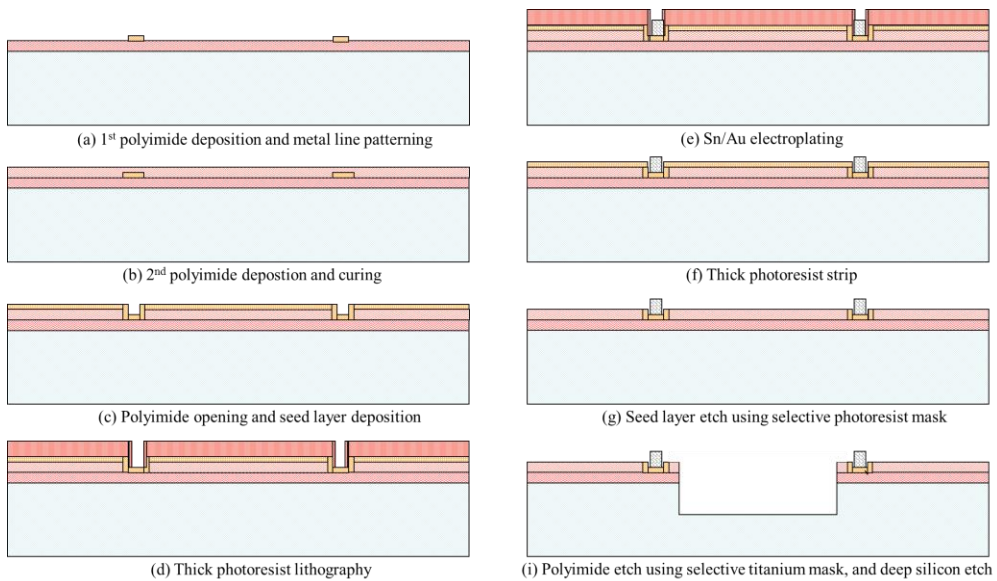


그림 3.6 고밀도 망막 자극용 이식형 자극기의 기관 공정도.

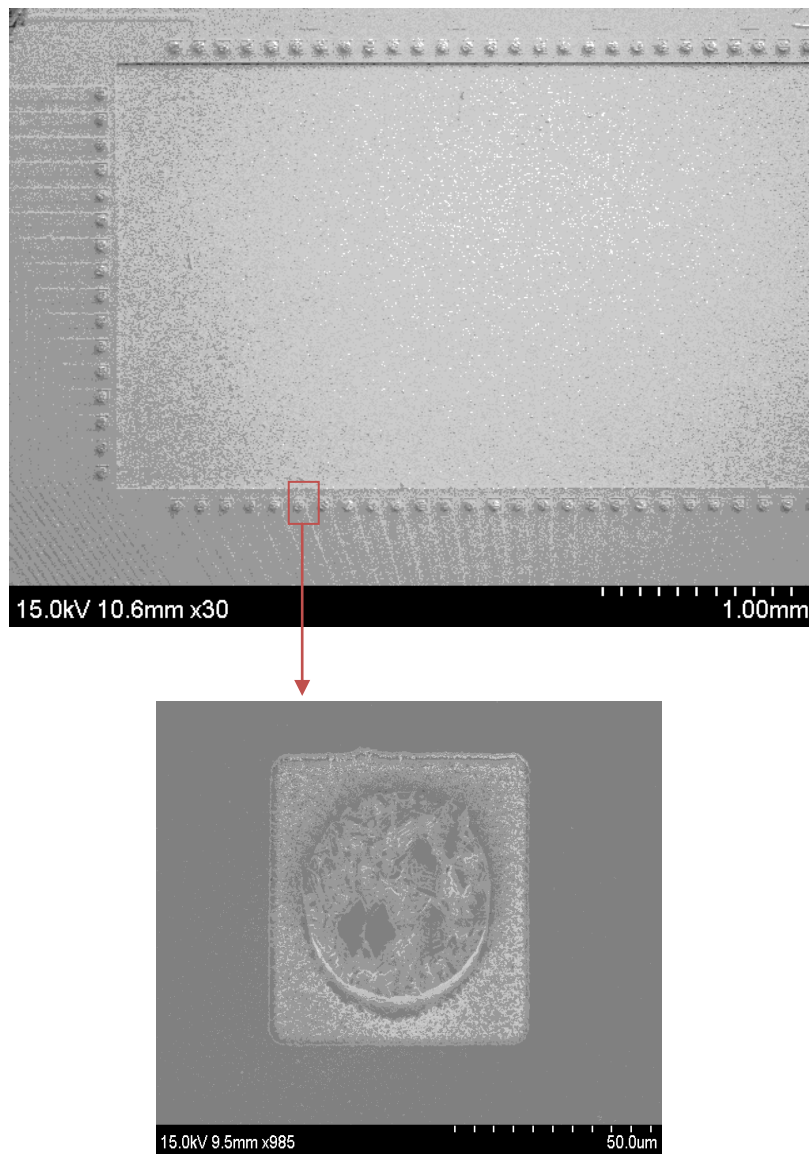


그림 3.7 CMOS IC 를 이식형 자극기 몸체에 접합하기 위해 생성된 Au/Sn/Au 범프 구조의 SEM 사진.

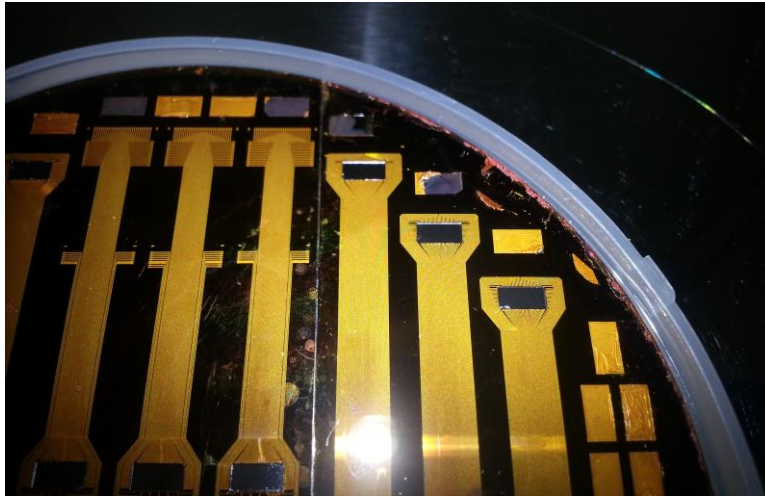


그림 3.8 단결정 실리콘 기판에  $80\mu\text{m}$  이상 건식 식각되어 중공 구조가 형성된 모양.

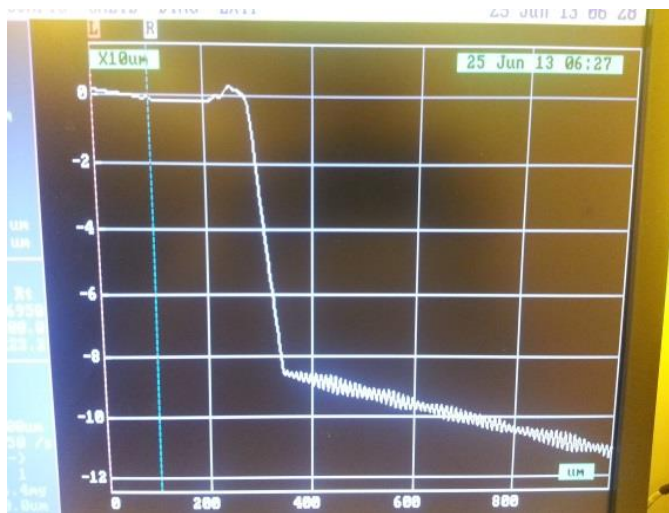


그림 3.9 단차 측정기로 중공의 식각 깊이를 측정한 결과 그래프.

### 3.1.3 플립 칩 본딩을 위한 CMOS IC 금속 증착 공정

인공망막 자극기 연구에서 CMOS IC [37, 44] 는 고밀도 망막 자극기 구현이 가능하게 하는 중요한 부분이다. 자극 전극과 망막 조직의 계면 임피던스 저하를 위해 3차원 화살촉 전극은 CMOS IC 에 Au/Sn 플립 칩 본딩으로 접합된다. CMOS IC 는 외부 FPGA 보드의 입력 신호로 동작되고, 이식형 자극기 금속 배선에 플립 칩 본딩을 통해 접합된다. CMOS IC 는 이식형 자극기 몸체에 Au/Sn 플립 칩 공정을 통해서 접합을 구현하기 위해서는, CMOS IC 에서 외부로 연결되는 금속 패드에 Au/Sn 플립 칩 본딩이 가능하도록 선택적인 금속 증착이 필요하다. CMOS IC 에 선택적인 금속 증착을 위해서 감광제를 미리 패터닝한 후 금속을 증착하고, 이후 감광제를 제거함으로써, 선택적인 금속 증착을 가능하게 하는 lift-off 공정이 적용되었다. 공정 순서는 다음과 같다. 처음 공정으로 약  $4\mu\text{m}$  두께의 감광제 (AZnLoF 2035) 패터닝 공정이 진행되었다. 이후 Ti  $500\text{\AA}$  / Ni  $3000\text{\AA}$  / Au  $5000\text{\AA}$  가 순차적으로 증착되었다. MPW 공정 후 칩으로 다이싱 된 CD (Critical Dimension)  $50\mu\text{m}$  의 CMOS IC 를 패터닝 하기 위하여, 여러 가지의 감광제를 이용하여 패터닝 테스트를 진행하였다. 테스트 결과 감광제 AZnLoF 2035 가 가장 양호한 결과를 보여주었다. 그리고 spin coating 에서의 회전 속도와 회전 시간이 중요한 공정 요소임을 확인하였다. Au/Sn 플립 칩 본딩을 위한 금속 증착 공정에 사용된



금속 Ni 은 Au/Sn 공융 반응으로 생성된 금속의 CMOS IC 로의 확산을 방지하기 위해 공융 반응 금속을 차단하기 위한 목적으로 증착되었다. 그러나 Ni 의 증착은 감광제의 크랙을 유발하였고, Ni 층의 유무로 테스트한 Au/Sn 플립 칩 본딩 결과 본딩력을 저하시키는 요인으로 작용함을 확인하였다. 그림 3.10 는 CMOS IC 에서의 감광제 AZnLoF 2035 패터닝 공정 결과를 보여주고, 그림 3.11 은 CMOS IC 감광제 패터닝 공정 후 Ti/Ni/Au 금속을 증착한 모습이다. Ni 금속 증착에 따른 스트레스 유발에 의해 감광제에 크랙이 형성되었음을 보여준다.

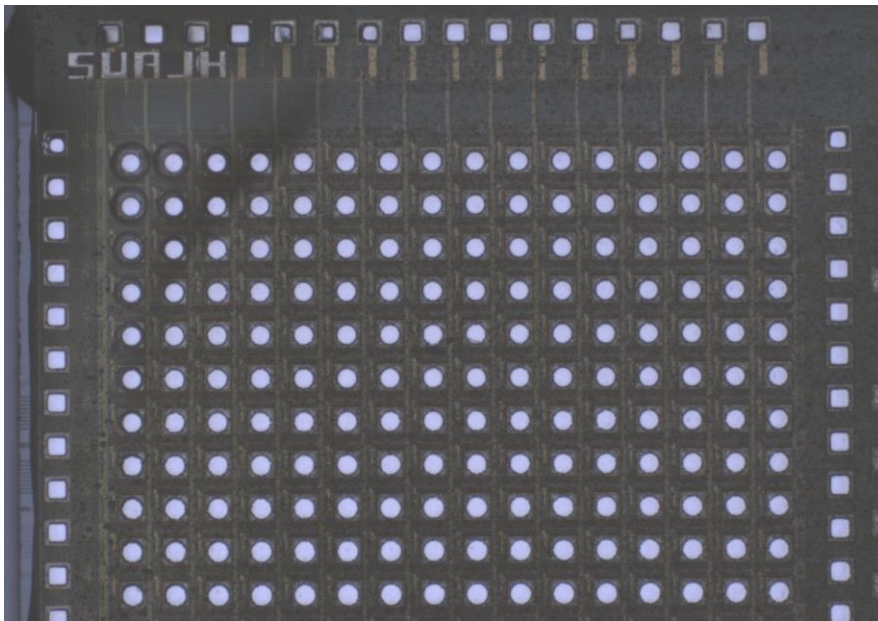


그림 3.10 CMOS IC 에서의 감광제 AZnLoF 2035 패터닝 공정 결과 사진.

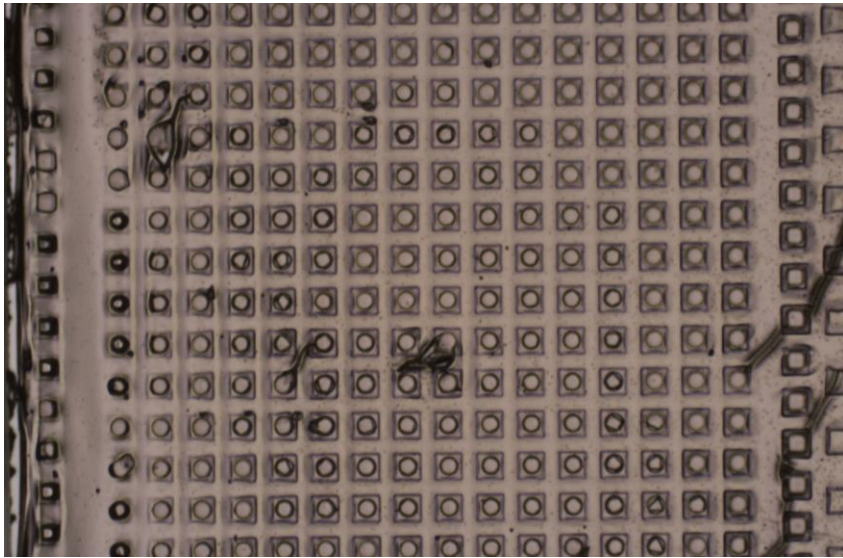


그림 3.11 CMOS IC 감광제 패터닝 공정 후 Ti/Ni/Au 금속을 증착한 모습.

### 3.1.4 CMOS IC 와 3차원 화살촉 전극의 접합 공정

CMOS IC 와 3차원 화살촉 전극의 접합 방법으로 Au/Sn 플립 칩 본딩 방법이 적용되었다. Au/Sn 플립 칩 본딩은 생체 이식 소자 제작에 적용되어 사용되었다 [39]–[43]. Au/Sn 플립 칩 본딩 방식은 기계적 접합 강도가 우수하고, 부식에서 화학적으로 안정한 것으로 알려져 있다. 3차원 화살촉 전극과 CMOS IC 를 접합하는 공정은 다음과 같다. Au/Sn 플립 칩 본딩전에 두께  $450\mu\text{m}$  이상의 CMOS IC 와 3차원 화살촉 전극이 생성된 칩은 CMP 공정을 통해  $150\mu\text{m}$  로 박막화되었다. CMP 공정 목적은 Au/Sn 플립 칩 본딩 후 3차원 화살촉 전극을 단결정 실리콘 기판으로부터 드러낼 때 기판 단결정 실리콘의 건식 식각량을 최소화하기 위함이다. CMP 공정을 진행하지 않으면 건식 식각해야 하는 단결정 실리콘의 두께가 커지고, 이로 인해 건식 식각 공정이 오래 걸리고, 결과적으로 식각이 더 이상 되지 않는 black 실리콘 유발하거나, 이식형 자극기 기판 재료인 폴리이미드에 손상을 줄 수 있다. 그리고 CMOS IC 와 3차원 화살촉 전극을  $150\mu\text{m}$  까지만 CMP 공정을 진행한 것은 CMOS IC 와 3차원 화살촉 전극이 생성된 칩의 Au/Sn 플립 칩 본딩 접합시에 칩이 파괴되는 것을 예방하는 안정적인 두께를 확보하고자 한 것이다. 그림 3.12

는 CMOS IC 와 3차원 전극이 생성된 칩의 CMP 공정 전후의 칩 두께를 보여준다.

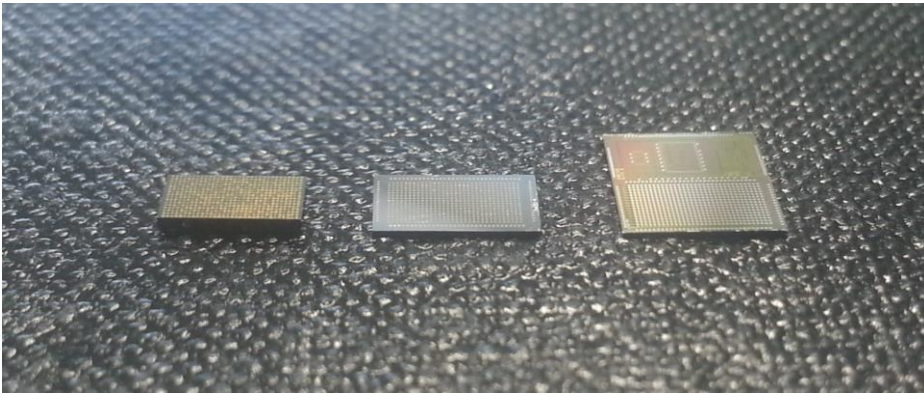


그림 3.12 CMOS IC 와 3차원 전극이 생성된 칩의 CMP 공정 전후의 칩 두께.

CMP 공정이 진행된 CMOS IC 와 3차원 화살촉 전극 소자는 플립 칩 본더 (Fineplacer, Finetech) 에서 접합 공정이 진행되었다. Au/Sn 플립 칩 본딩을 위해서는 공융 반응이 일어나는 온도인 280 °C 이상으로 가열되어야 하고, Au/Sn 공융 반응을 통해서 칩간 접합이 된다. Au/Sn 플립 칩 본딩에서 접합에 영향을 미치는 주요한 공정 변수로는 O<sub>2</sub> 플마즈마 등의 전처리 조건, 플립 칩 본딩 시 상판과 하판의 가열 온도, 가열 시간, 플립 칩 본딩 시 소자를 누르는 힘이 있다. CMOS IC 와 3차원 화살촉 전극의 안정적인 접합을 위해 플립 칩 본딩 공정 변수에 대해서 본

딩 테스트를 진행했다. 플립 칩 본딩 테스트에서는  $O_2$  플라즈마를 이용하는 전처리 조건, 본더 상, 하판 가열 온도, 누리는 힘, 냉각 속도 등을 조정하였다. 첫번째로, 전처리 진행 조건에 따른 플립 칩 본딩 영향에 대해 테스트를 진행하였다. 전처리는  $O_2$  플라즈마로 진행했으며, 플라즈마 공정에의 RF 파워와 공정 시간을 조절하였다. 전처리 테스트 결과,  $O_2$  플라즈마 전처리를 한 소자가 플라즈마 처리를 하지 않은 소자보다 본딩이 잘 되었고,  $O_2$  플라즈마를 처리한 조건 비교에서 RF power 150W, 공정 시간 300 초에서 진행한 시편이 가장 양호한 접합 강도를 보여주었다. 그림 3.13 은 Au/Sn 플립 칩 공정 조건표를 보여준다. Au/Sn 플립 칩 본딩 공정 변수 각각에 대해 테스트하였다.

Recipe									Evaluation		
Plasma 조건		STEP I		STEP II		STEP III		Force (N)	Measurement		Remarks
RF (W)	Time (sec)	Plate (Top-Bottom) Temp(°)	Time (Sec)	Plate (Top-Bottom) Temp(°)	Time (Sec)	Plate (Top-Bottom) Temp(°)	Time (Sec)		Shear strength (N)	Shear strength (MPa)	
		260	30	300	120	260	30	10	13.6		
		260	30	310	120	260	30	10	58.4		
		260	60	310	210	260	30	10	Decap		Measured shear strength was proportional to applied force
		260	60	310	210	260	30	20	Decap		
		260	60	310	210	260	30	30	Decap		
300	1800	300	120	340	270	220	80	40	30.8		
150	300	300	120	340	270	220	80	40	45.8		
No treatment		300	240	340	270	220	80	40	39.4	27.2	
150	300	300	240	340	270	220	80	40	58.4	40.4	

그림 3.13 Au/Sn 플립 칩 공정 조건표.

Au/Sn 플립 칩 본딩을 위한 공정 단계는 온도 안정화 단계, 가열 후 온도를 유지하여 플립 칩 본딩이 진행되는 단계, 냉각 등의 3 단계로 크게 구분된다. 플립 칩 본딩의 상, 하판 가열 온도가 올라갈수록 플립 칩 본딩 강도는 증가되었고, 플립 칩 본딩 시 누르는 힘이 강해질수록 또한 본딩 강도는 증가되었다. 기타 조건으로 안정화 단계의 시간이나, 냉각 시간 등은 플립 칩 본딩의 접합 강도에 큰 변수로 작용하지 않았다. 본딩 장비의 측정 온도 기준으로 플립 칩 본딩 단계에서의 온도 350 °C, 본딩 시간 270초에서 제일 양호한 접합 강도 결과를 보여주었다. 그림 3.12는 Au/Sn 플립 칩 본딩시의 온도 프로파일을 보여주고, 3.13은 Au/Sn 플립 칩 본딩 공정이 플립 칩 본딩에서 진행되는 모습을 보여준다.

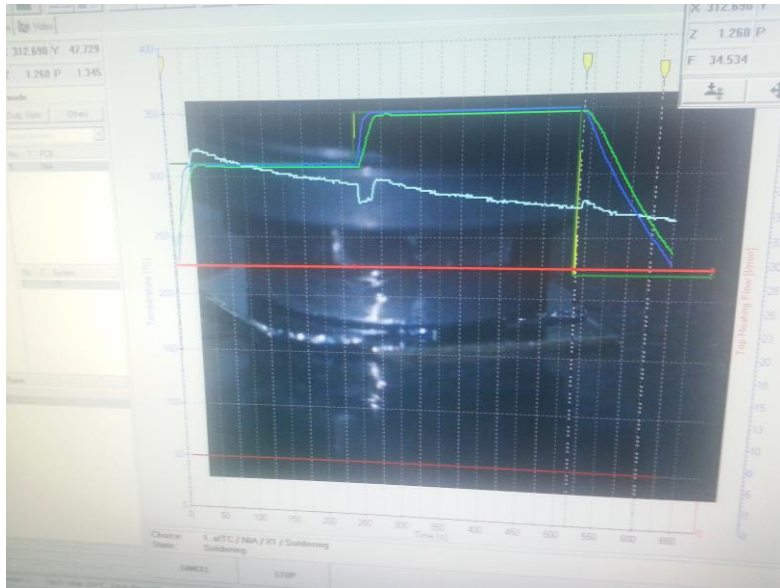


그림 3.14 Au/Sn 플립 칩 본딩 시 온도 프로파일.

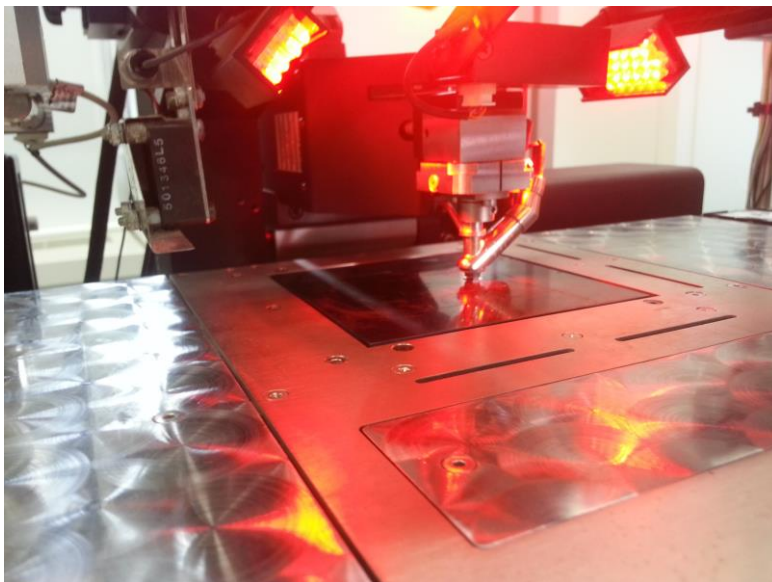


그림 3.15 Au/Sn 플립 칩 본딩 공정 모습.

소자를 누르는 플립 칩 본더의 힘은  $10N$  에서  $40N$  까지 인가하여 테스트하였다. 범프의 면적에 따른 접합 면적 기준으로 판단하면 누르는 압력은 크게 다를 수도 있다. 따라서 압력으로 표시해야 정확한 표현이 된다. 플립 칩 본딩에서 누르는 힘은  $50N$  이 최대치이고, 누르는 힘에서 장비 안정 범위를 고려하여  $40N$  의 힘을 인가했을 때, 본딩 소자가 깨지는 손상은 없었고, 플립 칩 본딩 접합 강도는 인가힘에 비례하는 특성을 관찰되어,  $40N$  조건으로 주요 접합 공정을 진행하였다. 그림 3.14 는 3차원 전극 칩이 CMOS IC 에 플립 칩 본딩된 후에 3차원 화살촉 전극 칩의 단결정 실리콘 기판을 제거한 후의 SEM 사진을 보여준다. 그리고 동일한 본딩 조건에서 칩과 칩이 본딩할 때와, 단결정 실리콘 기판에 생성된 범프에 칩을 본딩할 때의 양상은 크게 달랐다. 칩과 칩간의 본딩이 잘 되었고, 동일한 조건으로 칩과 기판과의 본딩은 잘되지 않았다. 이는 플립 칩 본더에서 기판 가열 시 기판의 열전도 특성에 의해 온도가 제대로 상승하지 않은 것이 원인으로 판단되었다. 기판과 칩을 본딩할 때는 칩과 칩을 본딩할 때보다 높은 온도에서 진행되어야 했다.



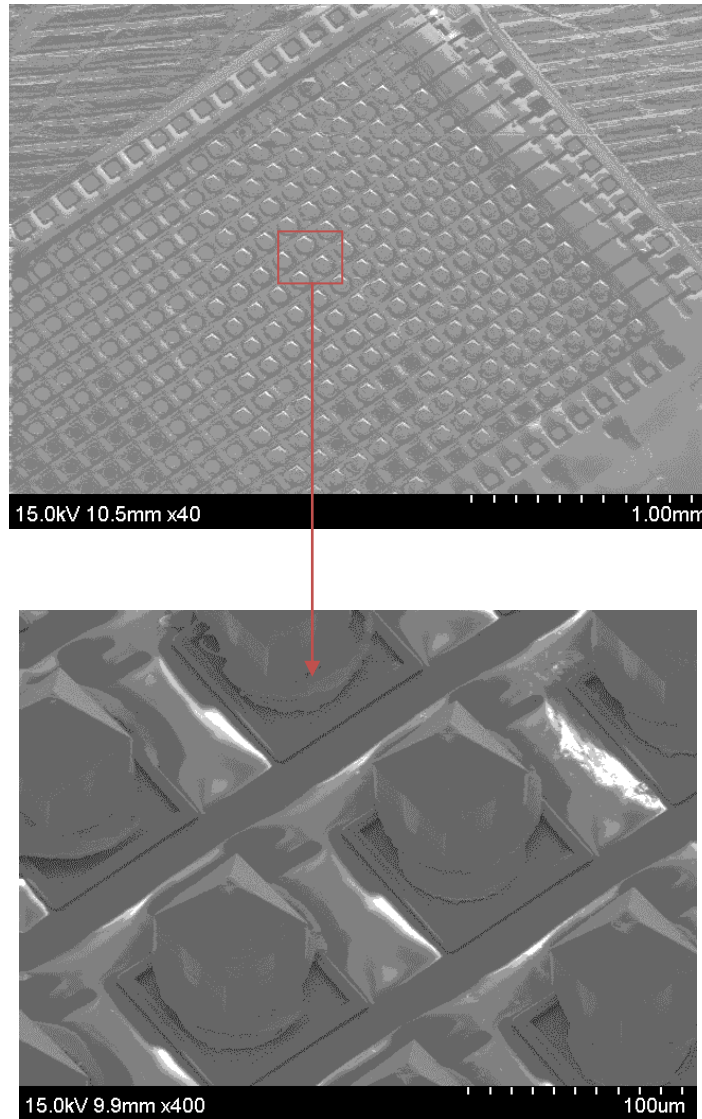


그림 3.16 3차원 전극과 CMOS IC 플립 칩 본딩 후 3차원 전극 소자의 실리콘 기판 제거 후의 전극 모습을 촬영한 SEM 사진.

이로 인해 3차원 전극이 접합된 CMOS IC 를 자극기 기판에 본딩할 때는 칩과 칩의 본딩 조건과는 다른 플립 칩 본딩 조건의 확립이 필요하였다. 그림 3.17 은 3차원 전극이 CMOS IC 에 플립 칩 본딩으로 접합된 후에 3차원 전극 칩의 기판 실리콘이 제거되어 3차원 화살촉 전극이 드러난 CMOS IC 로 이식형 자극기 몸체에 생성된 기판 범프 구조물에 본딩된 사진을 보여준다. 그림 3.18 은 3차원 화살촉 전극이 접합된 CMOS IC 와 이식형 자극기 몸체의 플립 칩 본딩 시 IR (적외선) 소스를 이용하여 정렬하는 모습을 보여준다.

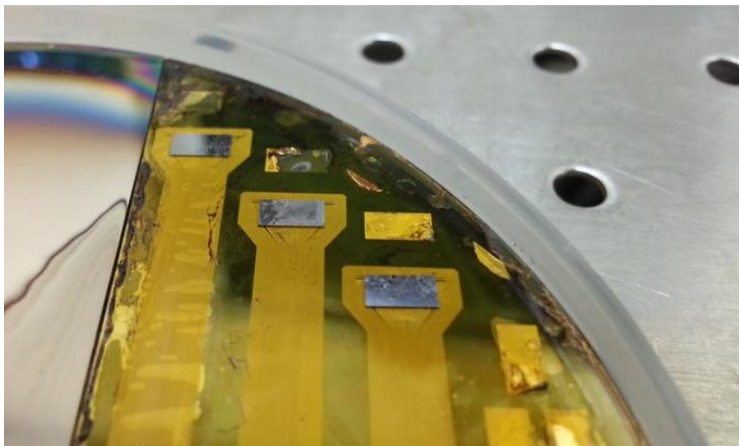
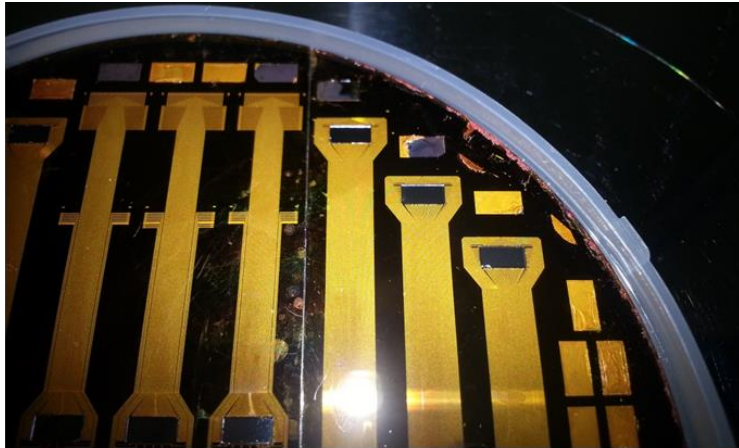


그림 3.17 3차원 전극이 CMOS IC 에 본딩된 소자를 이식형 자극기 기판에 다시 본딩한 사진.

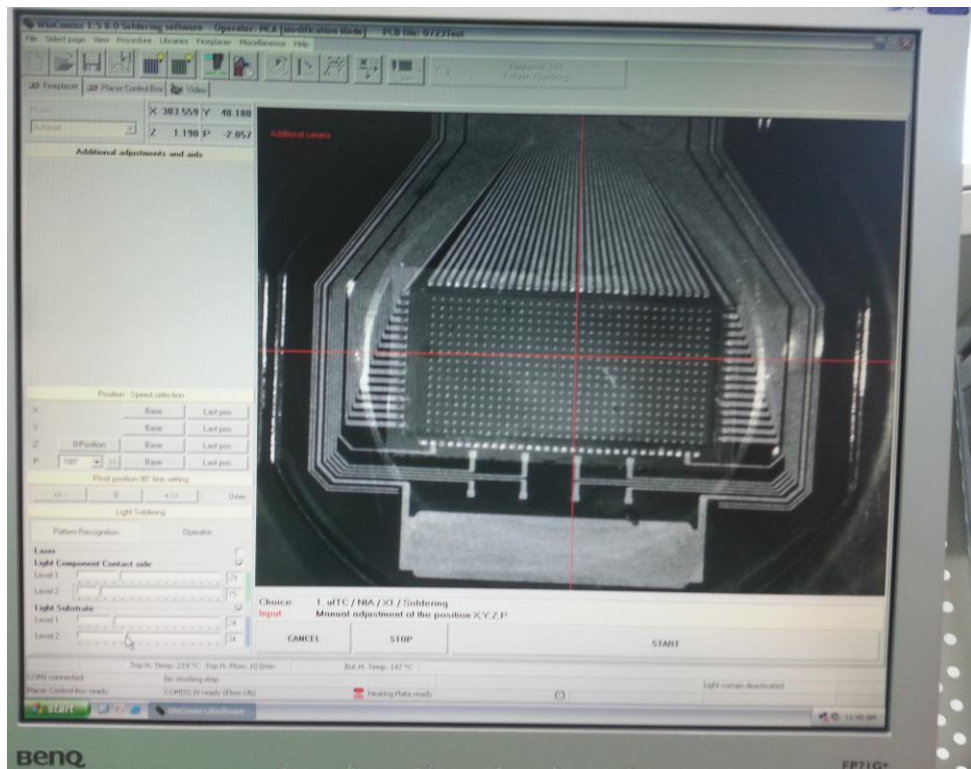


그림 3.18 플립 칩 본딩 공정 시 CMOS IC 와 3차원 전극 사이의 정렬 IR (Infrared) 이미지.

### 3.1.5 자극기 보호막 공정 및 몸체 정의

3차원 화살촉 전극이 집적된 CMOS IC 가 이식형 자극기 몸체에 플립 칩 본딩으로 접합된 후 자극기 몸체를 외부의 수분 환경으로부터 안정적으로 보호하고자 보호막 공정이 진행되었다. 보호막 물질은 페럴린 C 증착은 폴리이미드 물질로 주요 공정이 진행된 이식형 자극기의 외부로부터의 수분 차단 특성을 보완하는데 목적이 있다. 소자 전면 보호막으로는 수분 차단 특성이 좋고, 회로 소자의 보호막으로 널리 사용되는 페럴린 C 가 적용되었다. 기상 증착 방식의 장비를 이용하여 페럴린 C 는 약  $8\mu\text{m}$  두께로 증착되었다. 그림 3.19 는 페럴린 보호막 공정이 진행된 후의 이식형 자극기 소자 사진을 보여준다. 그리고 이식형 자극기 몸체는 정의하는 공정으로 레이저 커팅이 이용되었다. 레이저가 적용된 이유는  $12\mu\text{m}$  두께의 폴리이미드와  $8\mu\text{m}$  두께의 페럴린을  $\text{O}_2$  플라즈마 식각을 통해서 제거하는 것은 쉽지 않고, CMOS IC 가 접합되어  $50\mu\text{m}$  정도의 단차가 형성된 상태에서 금속 마스크를 생성하는 것은 쉽지 않은 공정이기 때문이다. 그림 3.20 은 CMOS IC 와 이식형 자극기의 플립 칩 본딩을 통해 접합이 된 소자를 레이저 커팅을 진행한 후 이식형 자극기 소자를 기판 실리콘으로 분리하는 모습을 보여준다.



그림 3.19 페럴린 보호막 공정 후 이식형 자극기 사진.

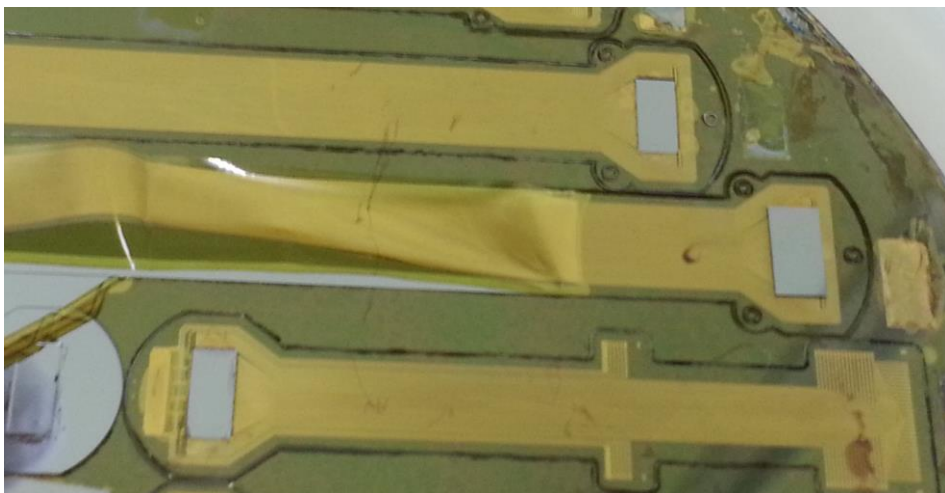


그림 3.20 레이저 커팅 후 실리콘 기판에서 이식형 자극기를 분리하는 사진.

### 3.1.6 3차원 화살촉 전극 보호막 노출 공정

고밀도 망막 자극을 위한 CMOS IC 와 3차원 화살촉 전극이 통합된 망막 이식 자극기는 페럴린 C 로 소자 전면에 보호막층을 형성하였다. 이 공정을 진행하면 3차원 화살촉 전극도 모두 페럴린 C 로 덮여진다. 망막 자극을 위해서는 3차원 화살촉 전극의 자극 부분만을 노출시켜야 하는 공정이 필요하게 된다. 이 공정은 3차원 화살촉 전극 부분만을 개방시키는 어려운 공정으로, 공정 테스트를 통한 공정 확립이 필요했다. 이 공정이 테스트를 통한 공정 확립이 필요한 이유는 CMOS IC 기판을 기준으로 60 ~ 70 $\mu\text{m}$  높이로 형성된 3차원 화살촉 전극 부분에서 페럴린을 제거해야 하기 때문이다. 3차원 화살촉 전극의 자극 부분을 페럴린으로부터 개방시키는 공정은 다음과 같은 순서로 진행된다. 먼저 이식형 자극기 몸체 전면에 Ti (Titanium) 를 증착한 후에 점성이 낮은 감광제를 사용하여 두 번의 베이킹 공정을 진행한다. 자외선 노광 공정을 시간을 조절하여 진행한 후 현상하여 화살촉 전극 부분만 감광제를 제거하였다. 이후 자극기 전면에 증착된 Ti 는 패터닝된 감광제 마스크를 이용하여 희석된 HF 용액으로 제거함으로서 3차원 화살촉 전극 부분만 Ti 금속을 제거하였다. Ti 제거 시 HF 식각 공정을 길게 하면 침투성이 좋은 HF 용액 특성으로 인해 감광제로 보호된 Ti 부분까지 침투하여 Ti 가 제거되는 현상이 발생하므로 주의해야 한다. 다음으로 O<sub>2</sub> 플라즈마 공정을 이용하여 3차원

화살촉 전극 부분의 페럴린을 제거하였다. 그림 3.21 은 3차원 화살촉 전극에만 페럴린이 제거된 SEM 사진을 보여준다. 제거된 페럴린 C 는 투명하여 현미경으로 제거를 확인하기 어려웠다. 제거된 부분을 확인하는 방법으로 SEM 장비에서의 유기물의 charging 효과를 이용하여 페럴린 제거 부분을 관찰하였다. 밝게 빛나는 부분이 페럴린이 남아있는 부분이다.



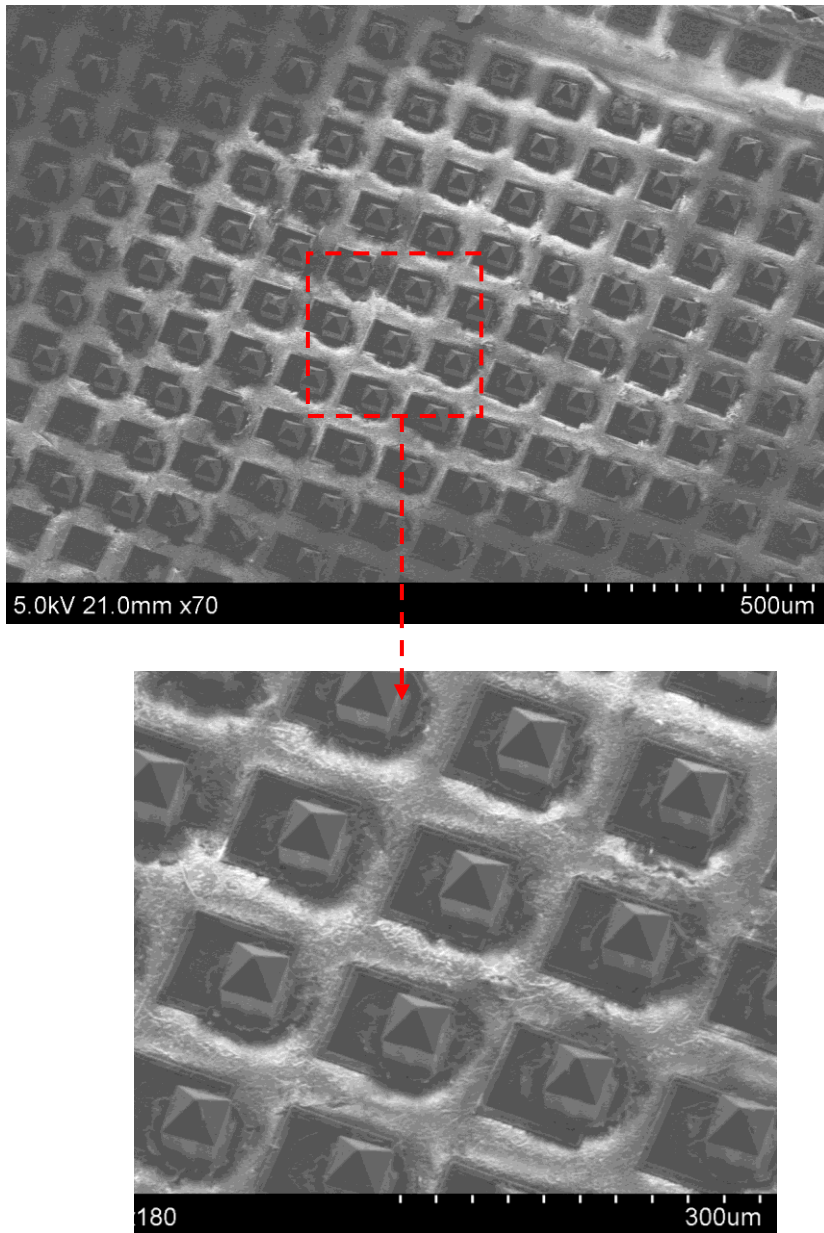


그림 3.21 3차원 화살촉 전극 부분만 페릴린을 제거하는 공정 테스트 결과 모습.

## Chapter 4

# 소자 평가

### 4.1 Au/Sn 플립 칩 본딩 기계적 강도 평가

CMOS IC 에 접합된 3차원 화살촉 전극은 망막 이식 후 기계적인 힘에 의해 분리되지 않아야 한다. 이를 평가하기 위해 Au/Sn 플립 칩 본딩 후 3차원 전극의 전단 강도를 측정해 보았다. Au/Sn 플립 칩 본딩은 3차원 화살촉 전극에 Au/Sn 범프를 형성한 후, CMOS IC 금속 증착 조건과 동일한 Ti 500Å/Au 5000Å 을 증착한 후 진행되었다. 전단 강도로 측정된 힘은 58N 이었고, 이 값을 3차원 전극의 본딩 면적을 이용하여 압력으로 환산하면 약 40MPa 의 접합 강도로 계산되었다. 계산된 압력으로 접합 강도를 평가했을 때 측정된 값은 망막 이식 환경에서의 외부의 물리

적 힘에 대해 전극이 안정적으로 유지 가능한 충분한 강도로 보여진다 [58]. 망막 조직은 유연한 조직이고, 3차원 전극이 망막에 이식 시 망막에서 가해지는 물리적인 압력은 약할 것으로 예상되기 때문이다. 그림 4.1 은 전단응력 측정기를 통해 측정된 Au/Sn 전단응력 측정 결과 그래프를 보여준다. 위 접합 강도는 플립 칩 본딩 조건인  $O_2$  플라즈마 전처리 조건, 플립 칩 본딩에서의 접합 온도, 공정 시간, 냉각 속도 등의 변수들을 조건별로 테스트하여 나온 결과이다.

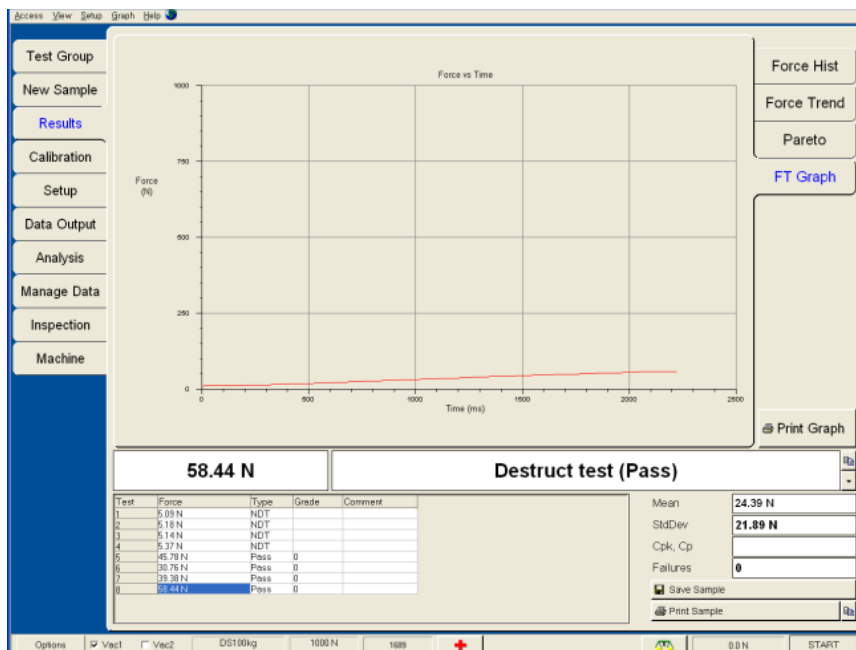


그림 4.1 플립 칩 본딩 된 소자의 전단응력 측정 결과.

## 4.2 Au/Sn 본딩 소자의 전기적 신호 특성 평가

본 논문에서 제안된 고해상도 망막 자극기는 외부 FPGA 보드의 디지털 신호에 의해 동작된다. 본 연구에서 제안된 공정에서 Au/Sn 접합을 통해 3차원 화살촉 전극과 CMOS IC 가 연결되고, 또한 CMOS IC 도 이식형 자극기 몸체에 Au/Sn 접합으로 연결된다. 따라서 이식형 자극기를 구동하는 신호선에서 소자간의 접점은 Au/Sn 접합이 이용되었다. 이식형 자극기에 집적된 CMOS IC 가 정상적으로 동작하기 위해서는 FPGA 보드에서 출력한 디지털 신호가 CMOS IC 의 디지털 동작에서 에러가 없이 구동 가능한 범위에 들어와야 한다. 이를 평가하기 위하여 플립 칩 본딩으로 접합된 Au/Sn 범프의 양단에서 신호의 전압 강하 측면과 파형 전달성에 대해 확인이 필요하다고 판단하여 측정을 진행해 보았다 [51-53]. Au/Sn 플립칩 본딩에서의 전기적 평가를 위한 테스트 칩을 이용하여 전압 강하를 측정해 보았다. 프로브스테이션을 이용하여 플립 칩 본딩으로 접합된 Au/Sn 범프를 통과하는 전극 양단간의 저항값은  $2.9\Omega$  으로 측정되었다. 망막 자극 전류 주입을 고려하여 전류 100uA 가 흐른다고 가정할 때, 0.00029V 의 전압 강하 효과를 나타내는 것으로 계산된다. 이 값은 FPGA 와 CMOS IC 간 디지털 신호의 동작에 에러를 유발하지 않는 범위로 판단된다. 추가적으로 Au/Sn 범프를 통과하는 고주파 신호 전달 특성을 관찰해 보았다. 선행 개발된 FPAG 동작 주파수 1MHz 를 기

준으로 하였고, 파형 발생기와 오실로스코프를 이용하여 Au/Sn 범프를 통과하는 신호를 측정해 보았다. 그림 4.2 Au/Sn 범프의 전기적 특성 평가를 위한 테스트 소자의 IR 이미지를 보여주고, 그림 4.3 은 테스트 소자가 Au/Sn 플립 칩 본딩된 사진을 보여준다. 그림 4.4 은 Au/Sn 플립 칩 본딩된 범프를 통과하는 선로 양단간의 저항 측정 결과를 보여준다. 그림 4.5 는 Au/Sn 플립 칩 본딩된 범프를 통과하는 MHz 대의 신호 통과 파형을 보여준다. 사인과 신호를 20MHz 까지 인가하여 Au/Sn 범프를 통과하는 파형을 관찰한 결과, FPGA 와 CMOS IC 의 디지털 동작에는 문제가 없을 정도의 통과 특성으로 관찰되었다.

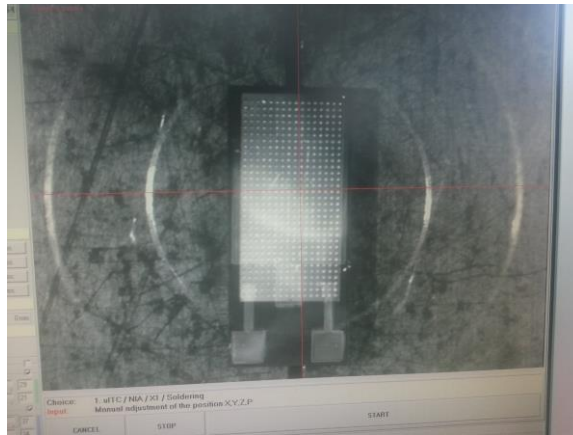


그림 4.2 Au/Sn 범프의 전기적 특성 평가를 위한 테스트 소자의 IR 이미지.

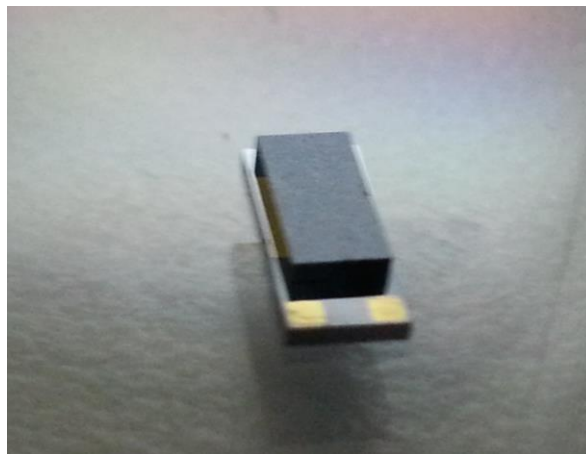
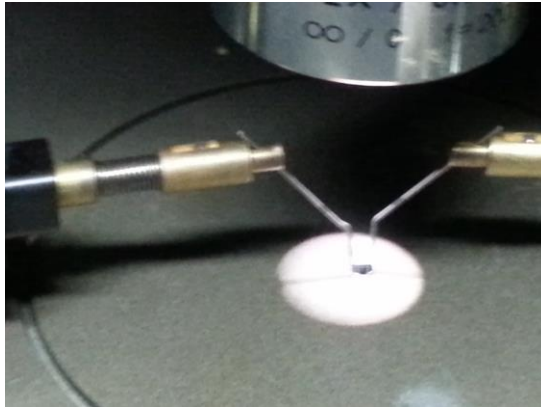


그림 4.3 테스트 소자가 Au/Sn 플립 칩 본딩된 사진.

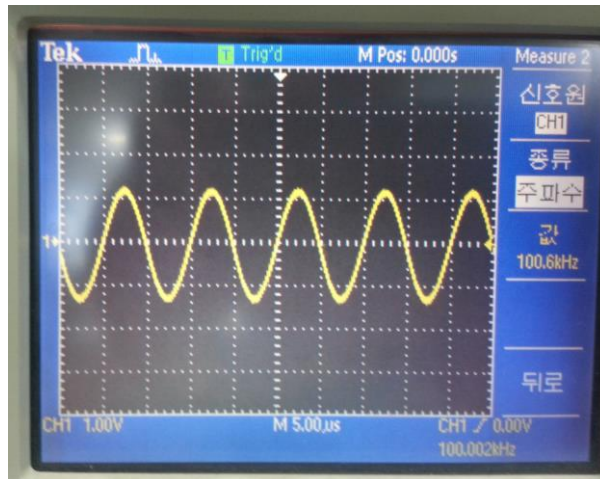


(a) 프로브 스테이션에서의 측정 사진.

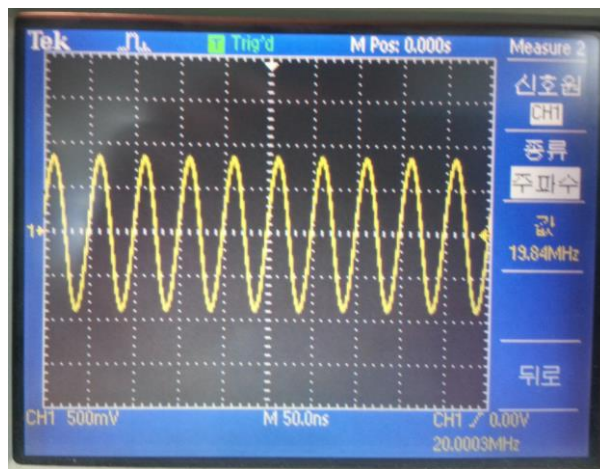


(b) Au/Sn 본딩 소자의 저항 측정 결과.

그림 4.4 Au/Sn 플립 칩 본딩된 범프를 통과하는 선로 양단간의 저항 측정 결과.



(a) 100kHz 신호 인가 후 플립 칩 범프를 통과하는 신호 파형



(a) 20MHz 신호 인가 후 플립 칩 범프를 통과하는 신호 파형

그림 4.5 Au/Sn 플립 칩 본딩한 범프를 통과하는 신호 파형 측정 결과.



### 4.3 자극기의 전기적 절연 특성 평가

망막 이식 환경에서 망막 자극기의 동작 신뢰성에서 가장 큰 부분은 전해질 환경으로부터 장기간 전기적으로 절연 특성을 유지하는 부분이다. 최근 LCP (Liquid Crystal Polymer) 를 망막 이식기에 적용한 것도 전기적 절연 특성을 개선하기 위한 것이다 [8]. 본 논문에서 제안한 자극기 제작 공정에서는 페릴린 C 를 소자 외부 전체에 증착하여 외부의 수분 환경으로부터 소자를 보호하고자 하였다. 페릴린 C 의 수분 차단 특성은 이식 자극기로의 적용에 적합한 것으로 알려져 있다 [9, 54]. 망막 자극기가 장기간 전해질 환경에서 노출된다는 가정하에 전해질 가속 실험으로 이를 평가해 보고자 하였다. 그림 4.6 는 제안된 자극기에 전기적 절연 특성을 평가해 보고자 넣은 패턴이다. 두 배선간 간격은  $25\mu\text{m}$  이고, 배선평도  $25\mu\text{m}$  이다. 측정 소자는 PSB 용액에 담궈진 후, PBS (Phosphate Buffered Saline) 용액은 hotplate 70도 가열 조건에서 24시간 진행되었다. 가속 실험을 하기 전에 측정한 누설 전류 테스트 전극을 통한 누설 전류 측정값은  $\pm 5\text{V}$  전압 범위에서  $1.99\sim 3.19\text{pA}$  로 측정되었고, 전해질 환경에서의 24시간 가속 실험 후에 측정된 누설 전류값은  $\pm 2\text{V}$  전압 범위에서는  $0.3\sim 0.9\text{nA}$  로 측정되었고,  $\pm 5\text{V}$  전압 범위에서는  $2.8\sim 3.1\text{nA}$  로 측정되었다. 측정된 누설 전류값을 FPGA 보드와 CMOS IC 간의 제어를 위한 디지털 신호 측면에서 평가해 보았다.

기 측정된 Au/Sn 플립 칩 본딩된 범프 저항  $2.9\Omega$  에  $\pm 5V$  구간에서의 최대 누설 전류량  $3.1nA$  로 전압 강하를 계산하면  $8.99nV$  로 계산된다. 이 값은 제안된 망막 자극기 CMOS IC 동작이나, 이식된 안구의 망막 손상 측면에서 영향이 거의 없을 것으로 판단된다. 이식형 자극기의 누설 전류 특성을 좀 더 보완하는 방안으로는 최외곽 금속 배선 패턴과 몸체의 외곽 부분과의 거리를 크게 하고, 배선 간격을 좀 더 크게 하면 좀 더 개선될 것으로 판단된다.

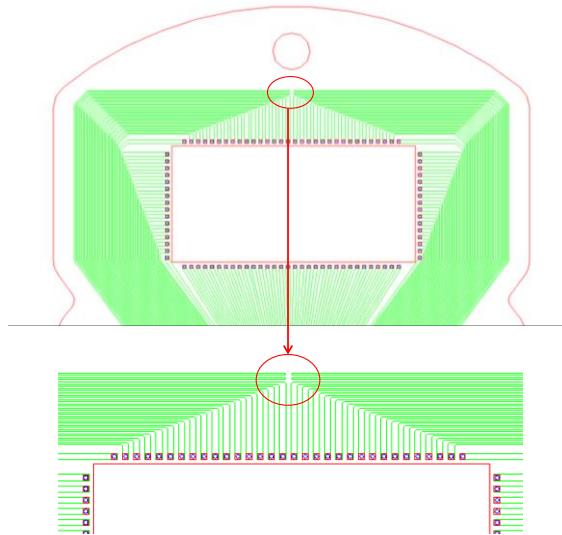


그림 4.6 제안된 이식형 자극기 금속 테스트 배선에서의 전기적 절연 특성 평가 패턴.

## Chapter 5

### Conclusion

본 연구에서는 CMOS IC 와 3차원 전극을 통합하여 고밀도 망막 자극기를 구현하기 위한 공정 방법을 제안한다. 본 자극기 공정에 적용된 CMOS IC 는 본 그룹에서 선행 개발된 것으로  $2.5 \times 5 \text{mm}^2$  면적에 512개 자극 전극과 외부로 연결되는 96개 전극으로 제작되었다. 또한 본 자극기 공정에 적용된 3차원 전극도 본 그룹에서 선행 개발된 것으로 망막 조직과의 접촉 표면적을 극대화할 수 있는 화살촉 모양의 전극이다. 3차원 화살촉 전극을 CMOS IC 에 집적하는 방법으로 Au/Sn 플립 칩 본딩을 적용하였다. 3차원 화살촉 전극과 CMOS IC 는 플립 칩 본딩 전에 CMP 공정을 통해  $150 \mu\text{m}$  로 박막화되었다. CMP 공정의 진행 목적은 크게 두가지가 있다. 첫째는, 3차원 화살촉이 제작된 칩과 CMOS IC 를 플

립 칩 본딩한 후, 건식 식각 공정을 통한 3차원 화살촉 전극을 드러내는 공정을 용이하게 하기 위함이다. 건식 식각해야 할 칩 두께가 커지면 건식 식각 시간이 길어지고, 이로 인해 CMOS IC 에 손상을 입힐 수 있기 때문이다. 둘째는, 3차원 화살촉 전극이 집적된 CMOS IC 를 자극기 기판에 본딩한 후 CMOS IC 의 박막화를 쉽게 하기 위함이다. 이 공정은 폴리이미드 기반으로 생성된 이식형 자극기 몸체가 드러난 상태에서 건식 식각 공정이 진행되기 때문에, 건식 식각 시간이 길어지면 이식형 자극기 몸체 물질인 폴리이미드에 손상을 가할 수 있고, 더 이상 건식 식각이 안 되는 black 실리콘을 유발할 수 있기 때문이다. CMOS IC 와 3차원 전극의 안정적인 접합을 위한 Au/Sn 플립 칩 단위 공정을 확립하였다. O<sub>2</sub> 플라즈마를 이용한 전처리 조건, 플립 칩 본더 장비의 상, 하 기판 온도, 본딩 시간, 냉각 속도 등에 변수에 대해 각각 테스트하였다. 본딩된 3차원 화살촉 전극의 접합력을 평가하기 위하여 전단 강도 측정을 진행하였다. 측정 결과 40MPa 의 접합 강도값을 보여주었고, 이 값은 3차원 전극과 CMOS IC 의 Au/Sn 공융 결합이 안정적으로 진행되었음을 나타낸다. 그리고, 본딩된 Au/Sn 범프의 전기적인 신호 전달 특성을 평가하기 위하여 저항과 고주파 신호 전달 특성을 평가하였다. 플립 칩 본딩으로 접합된 범프 저항값은 2.9Ω 으로 측정되었고, 고주파 신호 전달은 20MHz까지 측정한 결과 디지털 신호 제어 및 동작에 문제가 되지 않는 정도의 신호 통과 특성이 관찰되었다. 이 측정 결과를 통해 Au/Sn 플립 칩 본딩을 통

한 소자 접합이 전기적으로 문제가 되지 않음을 확인하였다. 3차원 전극이 접합된 CMOS IC 를 이식형 자극기 몸체의 Au/Sn 범프 구조물에 본딩하기 위해 기판에 Au/Sn/Au 범프를 도금으로 생성하였고, 단결정 기판 실리콘에  $80\mu\text{m}$  이상의 중공을 형성하였다. 중공을 형성한 이유는 3차원 화살촉 전극이 접합된 CMOS IC 가 뒤집혀서 기판에 본딩될 때 3차원 전극과 기판의 충돌을 방지하기 위함이다. 이식형 자극기 몸체를 정의하기 위하여 레이저 커팅 공정을 확립하였다. 그리고 제안된 자극기가 망막에 장기간 이식되었을 때, 수분 차단 특성을 보완하고자, 이식형 자극기 전면에 페털린  $8\mu\text{m}$  가 증착되었다. 이 공정은 자극기 몸체를 형성하는 폴리이미드의 수분 차단 특성을 보완하는데 목적이 있다. 마지막으로 소자 전면이 페털린으로 덮혀진 소자 상태에서 3차원 화살촉 전극의 자극부분을 노출시키는 선택적 페털린 개방 공정이 테스트되었다. 이 공정은  $60\sim 70\mu\text{m}$  높이의 3차원 전극만을 노출시키는 공정으로 테스트 공정을 통해 공정 방법을 확립했다. 제작된 소자는 PBS 용액에서 가속 조건 노출 후 누설 전류 측정이 진행되었다. 측정 결과 수분 침투에 의한 누설 전류값이  $\pm 5\text{V}$  조건에서 최대  $3.1\text{ nA}$  로 측정되었고, 측정된 Au/Sn 범프 저항  $2.9\Omega$  을 고려하면  $8.99\text{ nV}$  전압 강하값으로 계산되었다. 이 값은 제안되어 제작된 이식형 자극기의 수분 차단 특성이 전기적인 동작에서 문제가 되지 않는 안정적인 범위에 있음을 보여준다.

## 5.1 향후 진행 사항

안정적인 CMOS IC 와 3차원 화살촉 전극의 접합을 위해 다른 공융 금속 조합에 대해서도 플립 칩 본딩 방법에 대한 공정 평가가 필요하다. 본 자극기의 Au/Sn 플립 칩 본딩 공정에서 범프 생성 조건이 본딩 결과에 미치는 영향이 확인되었다. 추가적으로 범프 생성 조건에 따른 플립 칩 공정 평가도 필요하다. 플립 칩 본딩 조건 추가 테스트를 통해서 접합 수율을 올릴 필요가 있고, 플립 칩 본딩시 정렬 에러를 최소화 할 필요가 있다. 앞으로 이러한 항목에 대해 추가적인 테스트 진행이 필요하다. 또한 CMOS IC 의 감광제 패터닝 공정도 최적화도 필요해 보인다. 제작된 망막 자극기 소자의 구동 평가를 위해 이후 FPGA 보드와 연결하여 망막 자극 평가가 추가적으로 진행되어야 한다. 그림 5.1 은 제안된 망막 자극기가 FPGA 보드를 통해 제어하는 개념도를 보여준다.

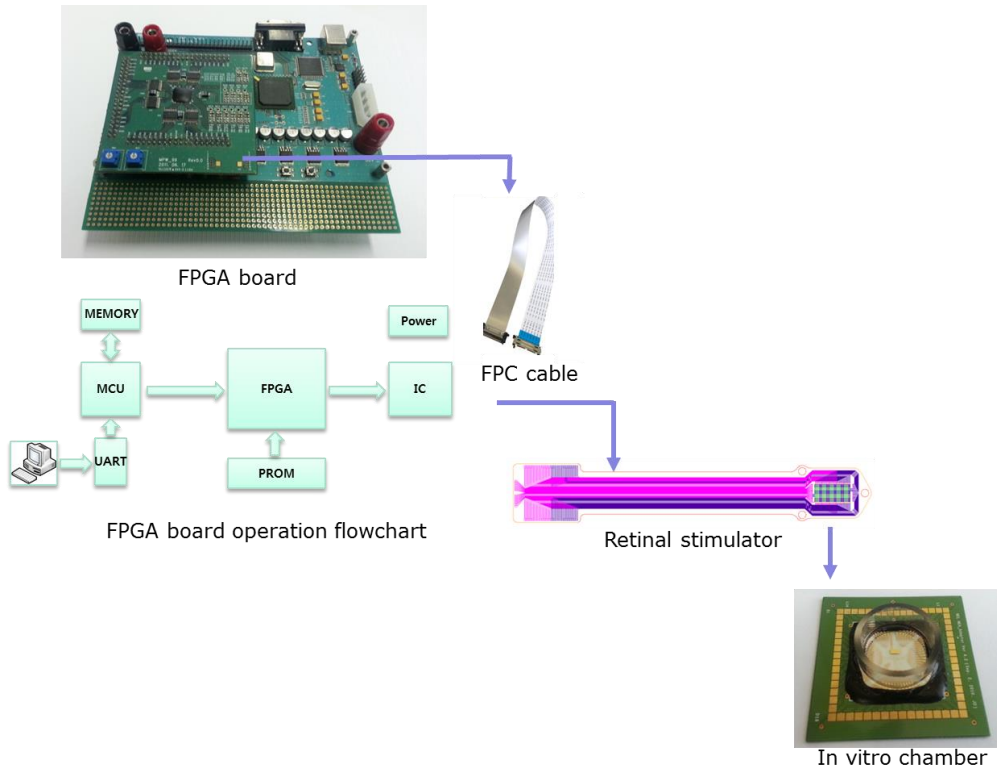


그림 5.1 FPGA 보드를 이용하여 이식형 자극기를 제어하는 개념도

CMOS IC 를 이용한 망막하 이식용 망막 자극기는 안구의 곡률에 따른 유연성을 확보가 필요하다 [55–57]. CMOS IC 의 공정은 단결정 실리콘 위에서 진행되고, 이 단결정 실리콘은 잘 휘어지지 않는 특성을 가지기 때문이다. 본 연구 그룹에서는 2개의 trench 형성으로 금속 배선을 제외하고 나머지 부분을 칩을 4개로 분리했을 때 동작이 가능한 CMOS IC [37, 45] 를 설계하였고, 이를 IC Design Education Center (IDEC) (KAIST, Republic of Korea) 를 통한 110th MPW (Dongbu 0.35  $\mu\text{m}$

HV-BCDMOS process) 에 투입하여 CMOS IC 를 제작하였다. 그림 5.2 는 칩 분리로 소자가 유연성을 확보할 때의 곡률 계산 결과를 보여 준다.  $3 \times 3\text{mm}^2$  크기의 CMOS IC 에 2개의 홈을 형성하면 망막의 곡률선과 CMOS IC 는 최대 수직 거리는  $45.8\mu\text{m}$  로 계산되고, 4개의 홈을 형성하면 최대 수직 거리는  $11.3\mu\text{m}$  로 계산된다. 이 정도의 유연성 확보는 Zrenner 그룹에서  $3 \times 3.1\text{mm}^2$  CMOS IC 를 사람 안구에 이식한 경우와 사람의 망막 두께와 망막 조직을 유연성을 고려하여 판단하면 망막 하 이식시 망막 박리등의 부작용을 개선시켜 줄수 있을것으로 예상된다. 그림 5.3 은 CMOS IC 를 4개로 분리하는 공정을 위한 공정 마스크 이미지를 보여준

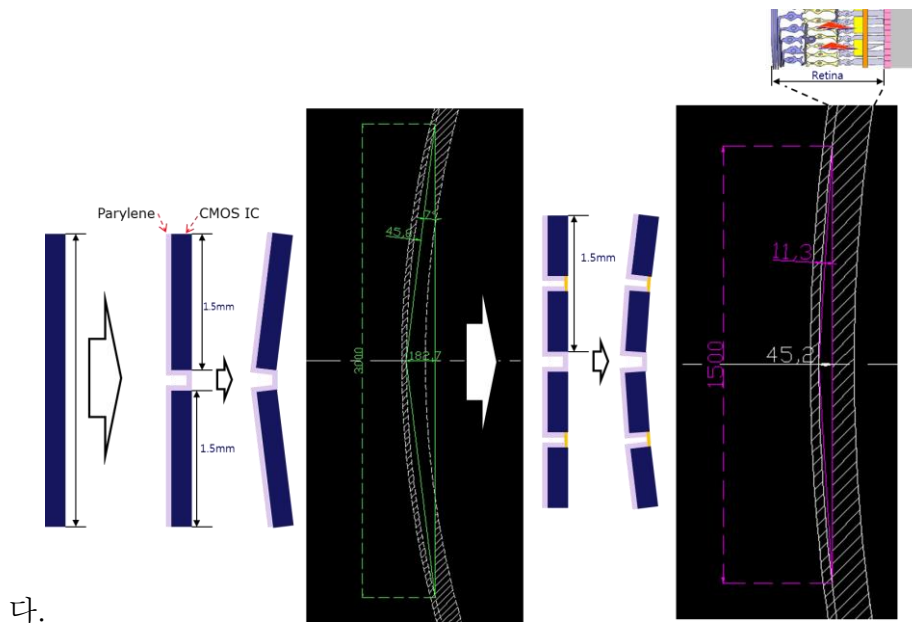


그림 5.2 CMOS IC 분리 공정 시 확보되는 곡률 계산.



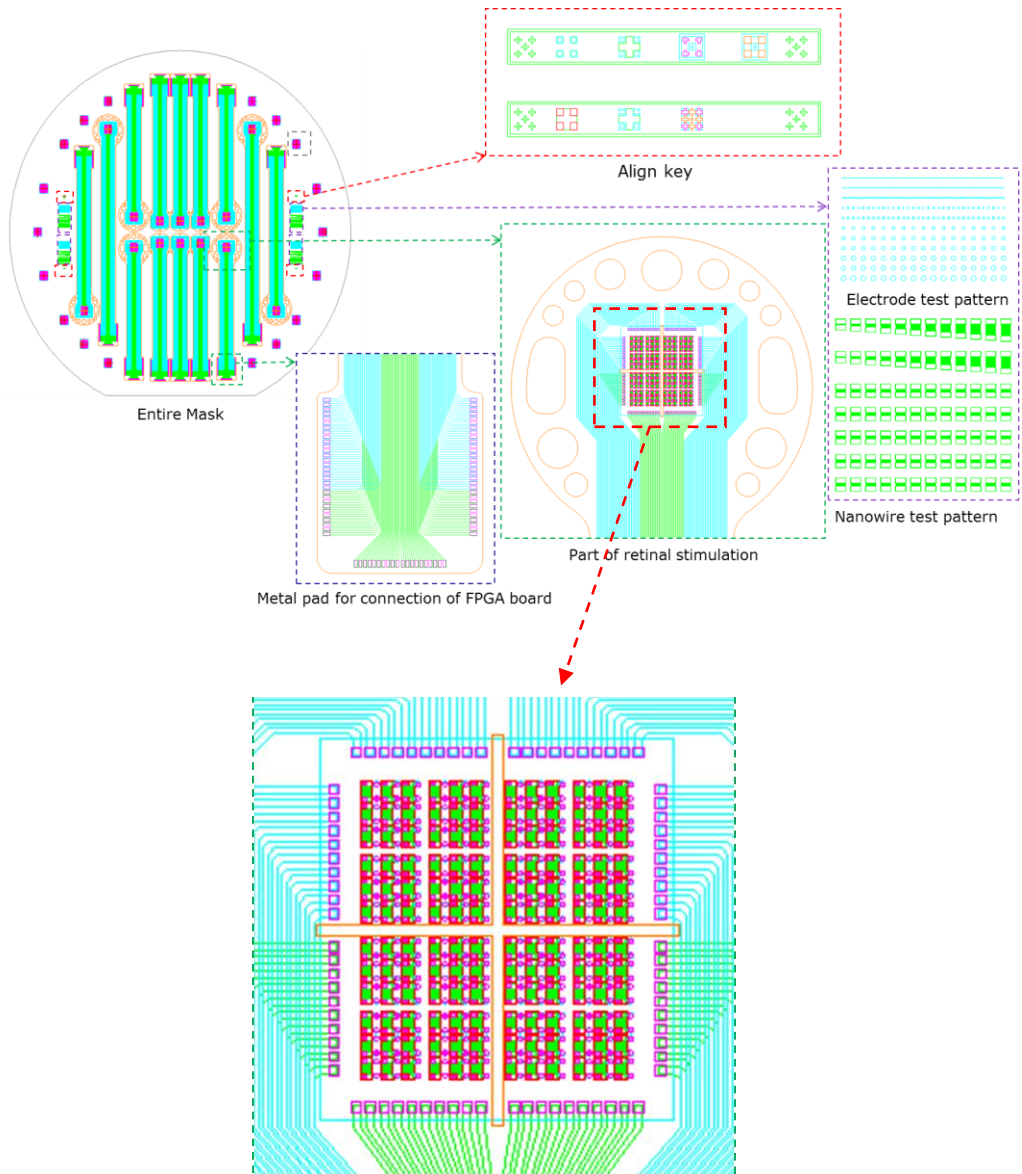


그림 5.3 CMOS IC 를 4개로 분리하는 공정을 위한 공정 마스크 이미지.

이식형 자극기 곡률 확보를 위해서 CMOS IC 를 분리하는 공정은 본 논문에서 진행한 자극기 공정에서 일부 추가 공정을 진행함으로써 구현 가능하다. 본 논문 연구에서 기 진행한 CMOS IC 를 이식형 자극기 몸체 기관에 본딩하고, DRIE 를 통한 박막화 공정 이후 CMOS IC 에 홈 형성을 위한 감광제 패터닝 공정을 진행한 후 DRIE 공정을 추가로 진행하면 된다. 그림 5.4 는 칩 분리 공정을 위해 제작된 CMOS IC 에 감광제 패터닝 테스트 결과를 보여준다

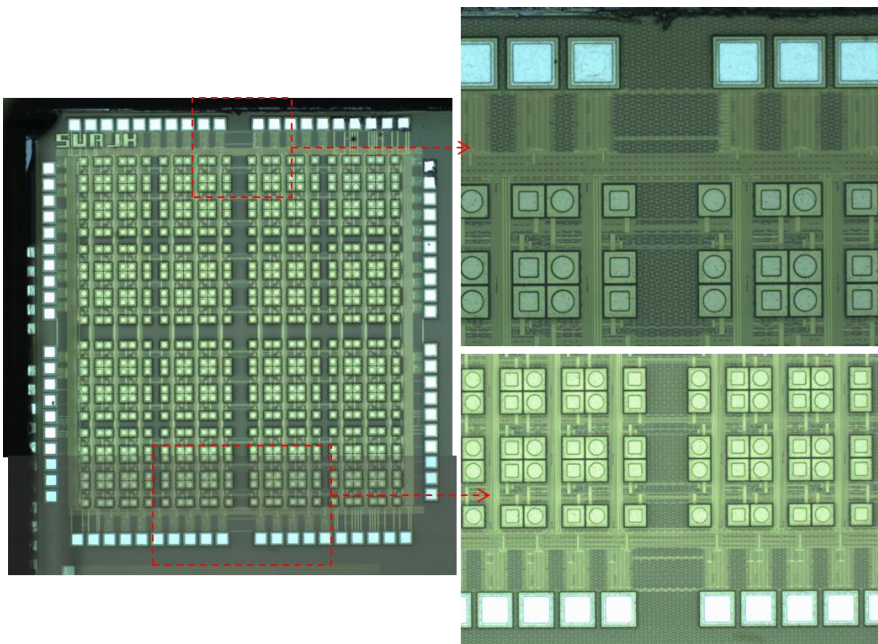


그림 5.4 칩 분리 공정을 위해 제작된 CMOS IC 의 감광제 패터닝 테스트 결과 사진 [37, 45].

# Bibliography

- [1] G. Brindley, W. Lewin. "The sensation produced by electrical stimulation of the visual cortex". *Journal of Physiology* 196: 479–93. 1968.
- [2] Matthew A. Schiefer and Warren M. Grill, "Sites of Neuronal Excitation by Epiretinal Electrical Stimulation", *IEEE TRANSACTIONS ON NEURAL SYSTEMS AND REHABILITATION ENGINEERING*, VOL. 14, NO. 1, MARCH 2006.
- [3] Rodrigo Publio, Rodrigo F. Oliveira, Antonio C. Roque, "A Computational Study on the Role of Gap Junctions and Rod Ih Conductance in the Enhancement of the Dynamic Range of the Retina", *PLoS ONE*, Vol. 4, Issue 9, September 2009.
- [4] Matthias Gerhardt, John Alderman, and Alfred Stett, "Electric Field Stimulation of Bipolar Cells in a Degenerated Retina—A Theoretical Study", *IEEE TRANSACTIONS ON NEURAL SYSTEMS AND REHABILITATION ENGINEERING*, VOL. 18, NO. 1, FEBRUARY 2010.

- [5] Hartmut N. Schwahn, Florian Gekeler, Konrad Kohler, et al., "Studies on the feasibility of a subretinal visual prosthesis: data from Yucatan micropig and rabbit", *Graefe' s Arch Clin Exp Ophthalmol*, 2001.
- [6] Florian Gekeler, Karin Kobuch, Hartmut Normann Schwahn, et al., "Subretinal electrical stimulation of the rabbit retina with acutely implanted electrode arrays", *Graefe' s Arch Clin Exp Ophthalmol*, 2004.
- [7] Helmut G Sachs, Thomas Schanze, Ursula Brunner, et al., "Transscleral implantation and neurophysiological testing of subretinal polyimide film electrodes in the domestic pig in visual prosthesis development", *J. Neural Eng.*, 2005.
- [8] Seung Woo Lee, Kyou Sik Min, Joonsoo Jeong, et al, "Junghoon Kim Monolithic Encapsulation of Implantable Neuroprosthetic Devices Using Liquid Crystal Polymers", *Biomedical Engineering, IEEE Transactions*, Aug. 2011.
- [9] E. Zrenner, "Will Retinal Implants Restore Vision?", *Science* 8, February 2002.
- [10] Chris Sekirnjak, Pawel Hottowy, Alexander Sher, et al, "High-Resolution Electrical Stimulation of Primate Retina for

Epiretinal Implant Design", The Journal of Neuroscience, April 2008.

- [11] Saiful A. Joarder, Socrates Dokos, Gregg J. et al., "Finite Element Bidomain Model of Epiretinal Stimulation", Proceedings of the 29th Annual International Conference of the IEEE EMBS, August 23–26, 2007.
- [12] T.WATANABE, R.KOBAYASH, K.KOMIYA, et al., "Evaluation of Platinum–Black Stimulus Electrode Array for Electrical Stimulation of Retinal Cells in Retinal Prosthesis System", Japanese Journal of Applied Physics, Vol. 46, No. 4B, 2007.
- [13] E. zrenner et al., "Subretinal electronic chips allow blind patients to read letters and combine them to works", proceedings the royal society. 2009
- [14] Joseph F. Rizzo, John Wyatt, John Loewenstein, et al., "Methods and Perceptual Thresholds for Short–Term Electrical Stimulation of Human Retina with Microelectrode Arrays", Investigative Ophthalmology & Visual Science, December 2003.
- [15] Abdur Rub Abdur Rahman, Dorielle T. Price, Shekhar Bhansali, "Effect of electrode geometry on the impedance evaluation of tissue and cell culture", Sensors and Actuators B

127, 2007.

- [16] C.Balthasar, S.Patel, A.Roy, R.Freda, et al., "Factors Affecting Perceptual Thresholds in Epiretinal Prostheses", *Invest Ophthalmol Vis Sci.* June 2008.
- [17] Mohit N Shivdasani, Chi D Luu, Rosemary Cicione, et al., "Evaluation of stimulus parameters and electrode geometry for an effective suprachoroidal retinal prosthesis", *J. Neural Eng.* 7, 2010.
- [18] J. Ohta, et al., "Laboratory investigation of microelectronics-based stimulators for large-scale suprachoroidal transretinal stimulation," *Journal of Neural Engineering*, Vol. 4, pp. 85–91, 2007.
- [19] D. Scribner, et al., "Intraocular Retinal Prosthesis Test Device" , The 23rd Annual EMBS International Conference, Istanbul, Turkey, October 25–28, 2001.
- [20] T.Watanabe, et al., "Novel Retinal Prosthesis System with Three Dimensionally Stacked LSI Chip", IEEE, 2006.
- [21] K. Koo, et al., "Arrowhead-Shaped Microelectrodes Fabricated on a Flexible Substrate for Enhancing the Spherical Conformity of Retinal Prostheses," *Journal of*

- Microelectromechanical Systems, Vol. 20, No. 1, pp. 251–259, 2011.
- [22] A. Hunger, D. Zhou, R. Greenberg, and J. W. Judy, "Micromachined electrodes for retinal prostheses." pp. 76–79.
- [23] A. Hung, D. Zhou, R. Greenberg, and J. W. Judy, "Micromachined electrodes for retinal prostheses." pp. 76–79.
- [24] H. Seidel, L. Csepregi, A. Heuberger, et al., "Anisotropic Etching of Crystalline Silicon in Alkaline Solutions", J. Electrochem. Soc., Vol. 137, No. 11, November 1990.
- [25] GREGORY T. A. KOVACS, et al., "Bulk Micromachining of Silicon", PROCEEDINGS OF THE IEEE, VOL. 86, NO. 8, AUGUST 1998.
- [26] D. Scribner, M. Humayun, B. Justus, C. Merritt, and R. Klein, Intraocular retinal prosthesis test device, DTIC Document, 2001.
- [27] JUN OHTA, TAKASHI TOKUDA, EIICHIRO KAGAWA, et al., "Silicon LSI–Based Smart Stimulators for Retinal Prosthesis", IEEE ENGINEERING IN MEDICINE AND BIOLOGY MAGAZINE, SEPTEMBER/OCTOBER 2006.
- [28] J.Seo,S.Kim, H Chung, et al., "Biocompatibility of polyimide microelectrode array for retinal stimulation", Materials Science

and Engineering, 2004.

- [29] Christina Hassler et al, " Polymers for Neural Implants" , JOURNAL OF POLYMER SCIENCE: PART B: POLYMER PHYSICS 2011.
- [30] Hasan Sharifi et al, " Characterization of Parylene-N as Flexible Substrate and Passivation Layer for Microwave and Millimeter-Wave Integrated Circuits" , IEEE TRANSACTIONS ON ADVANCED PACKAGING, 2009.
- [31] S. Shah, A. Hines, D. Zhou, et al, "Electrical properties of retinal-electrode interface", J. Neural Eng. S24-S29, April 2007.
- [32] Samip Shah, AmyHines, David Zhou, et al, "Electrical properties of retinal electrode interface", J. Neural Eng. 4, 2007.
- [33] Wendy Franks, Iwan Schenker, Patrik Schmutz, et al, "Impedance Characterization and Modeling of Electrodes for Biomedical Applications", IEEE TRANSACTIONS ON BIOMEDICAL ENGINEERING, VOL. 52, NO. 7, JULY 2005.
- [34] Donald R Cantrel, Samsoon Inayat, Allen Taflove, et al, "Incorporation of the electrode-electrolyte interface into finite-element models of metal microelectrodes", J. Neural Eng. 5, 2008.



- [35] B C Basinger, A P Rowley, K Chen, et al., "Finite element modeling of retinal prosthesis mechanics", J. Neural Eng. 6, 2009.
- [36] S. Lee, A NANOWIRE FET SWITCH INTEGRATED MICROELECTRODE FOR HIGH-RESOLUTION RETINAL PROSTHETIC SYSTEM, Ph. D. Dissertation, Department of Electrical Engineering, Seoul National University, Feb. 2013.
- [37] Ahn, Jae-Hyun, etl al., "Multi-Channel Stimulator IC Using a Channel Sharing Method for Retinal Prostheses", Journal of Biomedical Nanotechnology, Volume 9, Number 4, pp. 621-625, April 2013.
- [38] Kirt R. Williams, Senior Member, Kishan Gupta, et al., "Etch Rates for Micromachining Processing?Part II", JOURNAL OF MICROELECTROMECHANICAL SYSTEMS, VOL. 12, NO. 6, DECEMBER 2003
- [39] Jeong-Won Yoon, Hyun-Suk Chun, Ja-Myeong Koo, et al., "AU-SN FLIP-CHIP SOLDER BUMP FOR MICROELECTRONIC AND OPTOELECTRONIC APPLICATIONS", Stresa, TIMA Editions/DTIP, April 2006.
- [40] Jongsung Kim, Dongwook Kim, Chin C. Lee, "Fluxless Flip-Chip Solder Joint Fabrication Using Electroplated Sn-Rich Sn-Au

Structures", Advanced Packaging, IEEE Transactions, August 2006.

- [41] QIAN WANG, SUNG-HOON CHOA, WOONBAE KIM,"Application of Au-Sn Eutectic Bonding in Hermetic Radio-Frequency Microelectromechanical System", Journal of Electronic Materials, Volume 35, Issue 3, pp 425-432, 2006.
- [42] Jong S. Kim, Won S. Choi,Dongwook Kim, et al.,"Fluxless silicon-to-alumina bonding using electroplated Au-Sn-Au structure at eutectic composition", Materials Science and Engineering, 2007.
- [43] TORLEIF A. TOLLEFSEN, ANDREAS LARSSON, OLE MARTIN LOVVIK, et al.,"Au-Sn SLID Bonding—Properties and Possibilities", METALLURGICAL AND MATERIALS TRANSACTIONS B, VOLUME 43B, APRIL 2012.
- [44] K. Koo, "Arrowhead-shaped microelectrodes on a flexible substrate for retinal prostheses “, Ph. D. Dissertation, Department of Electrical Engineering, Seoul National University, Aug. 2009.
- [45]고해상도 인공 망막 자극기, [조동일, 안재현, 이상민, 정석원, 박선길], 등록번호 제 10-1275-2150000 호, 대한민국 특허청,

2013 년 6 월 10 일.

[46] 3 차원 구조의 미세 전극 어레이, [조동일, 구교인, 박선길],

등록번호 제 10-0838-4160000 호, 대한민국 특허청, 2008 년 6 월  
9 일.

[47] 3 차원 구조의 미세 전극 어레이 제조방법, [조동일, 구교인,

박선길], 등록번호 제 10-0844-1430000 호, 대한민국 특허청,  
2008 년 6 월 30 일.

[48] 지지벽으로 둘러싸인 화살촉 구조의 미세 전극 어레이, [조동일,

구교인, 이상민, 박호수], 등록번호 제 10-1054-8640000 호,  
대한민국 특허청, 2011 년 8 월 1 일.

[49] 지지벽으로 둘러싸인 화살촉 구조의 미세 전극 어레이의 제조,

[조동일, 구교인, 이상민, 박호수], 등록번호 제 10-1209-  
4030000 호, 대한민국 특허청, 2012 년 11 월 30 일.

[50] Lee, S., Jung, S. W., Ahn, J., Yoo, H. J., Park, S. K., and Cho,  
D. I., “A Nanowire FET Switch Integrated With a Microelectrode  
Array for Retinal Prosthetic Systems,” The 17th International  
Conference on Solid-State Sensors, Actuators and Microsystems  
(Transducers 2013), pp. 673–676, June 2013.

- [51] Myung-Jin Yim, Woonghwan Ryu, Young-Doo Jeon, et al,"Microwave Model of Anisotropic Conductive Film Flip-Chip Interconnections for High Frequency Applications", IEEE TRANSACTIONS ON COMPONENTS AND PACKAGING TECHNOLOGY, VOL. 22, NO. 4, DECEMBER 1999.
- [52] Young Seek Cho and Rhonda Franklin Drayton,"High Speed Digital Signal Analysis of Ultra-Broadband Micromachined Flip-Chip Interconnect Designs", Electronic Components and Technology Conference, 2008
- [53] Hiroyuki KIKUCHI, Hideki TSUNETSUGU, Makoto HIRANO,"Ultra-High-Speed GaAs MESFET IC Modules Using Flip Chip Bonding", IEICE TRANS. ELECTRON., VOL.E82-C, No.3 MARCH 1999.
- [54] Thomas Schanzea, Helmut G. Sachs, Christoph Wiesenackc,"Implantation and testing of subretinal film electrodes in domestic pigs", Experimental Eye Research, 2006
- [55] Takashi Tokuda, Yi-Li Pan, Akihiro Uehara, et al." Flexible and extendible neural stimulation/recording device based on cooperative multi-chip CMOS LSI architecture",Proceedings of the 26th Annual International Conference of the IEEE EMBS, Sep.

2004.

- [56] Akihiro Uehara, Yi-Li Pan, Keiichiro Kagawa, et al."A micro-sized photo detectable stimulator array for retinal prosthesis by distributed sensor network approach", 2004 Symposium On VLSI Circuits Digest of Technical Papers.
- [57] Tokuda T, Pan Y-L, Uehara A, et al."Flexible and extendible neural interface device based on cooperative multi-chip CMOS LSI architecture", Sensors Actuators A 122 88-98, 2005
- [58] TORLEIF A. TOLLEFSEN, ANDREAS LARSSON, OLE MARTIN LØVVIK, et al"Au-Sn SLID Bonding—Properties and Possibilities", METALLURGICAL AND MATERIALS TRANSACTIONS B, April 2012

# ABSTRACT

In this study, a process of implementing a high-density retinal stimulator with integration of a three-dimensional electrode and complementary metal–oxide–semiconductor (CMOS) integrated circuit (IC) is proposed. For implementing the high-density retinal stimulator, three-dimensional arrowheaded electrode is applied to maximize surface area in contact with retinal tissue in a relatively small area of the substrate. Moreover, it is bonded to a stimulating electrode of CMOS IC using Au/Sn flip-chip bonding. Three-dimensional arrowheaded electrode is applied to implement low voltage stimulation through reduction of interface impedance between three-dimensional electrodes and retinal tissue. CMOS IC was thinned smaller than  $50\mu\text{m}$  with Chemical Mechanical Planarization (CMP) and deep reactive-ion etching (DRIE) process for subretinal implant. The total thickness of the stimulator is approximately  $80\mu\text{m}$  including polyimide and parylene thickness. In addition, a reliable stimulator is implemented for long-term stable operation in environment of retinal implant. As a passivation of stimulator, parylene C is deposited with entire stimulator to prevent current leakage caused by moisture absorption. After the main process is performed with polyimide, parylene is applied

for supplement of wafer absorption in the last process. In addition, the selective etching process was conducted to open the stimulating electrode from the entirely deposited parylene to an implantable stimulator. To confirm reliability of the operation of the stimulator, the evaluation of bonding strength is performed. And, measurement of voltage drop and high-frequency signal transmission is conducted for evaluating the electrical properties in stimulator operation. In addition, to evaluate a characteristic of the long-term water absorption, the acceleration experiments were conducted in electrolyte environment. Through these evaluations, the stimulator for high-density retinal stimulation with CMOS IC and three-dimensional arrowheaded electrode is confirmed that the stimulator has a physical, chemical and electrical stability for retinal stimulation.

**Keyword : Retinal stimulator, CMOS IC, 3D electrode, flipchip bonding, chip process**

**Student Number : 2007-30781**